

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-311802

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

G02F 1/136

(21)Application number : 11-030037

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 08.02.1999

(72)Inventor : MURADE MASAO
ISHII MASAYA

(30)Priority

Priority number : 10 27663
10 46036

Priority date : 09.02.1998
26.02.1998

Priority country : JP

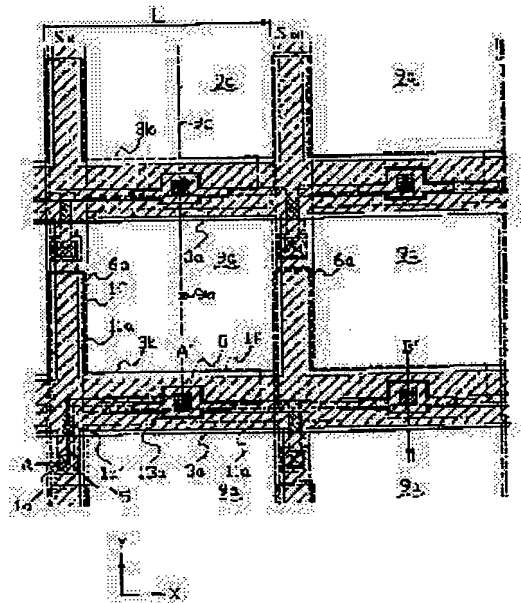
JP

(54) ELECTROOPTIC PANEL AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an active matrix drive liquid crystal panel which adopts TFT(thin film transistor) driving, etc., from decreasing in process yield and pixel aperture rate even when the pixels are made fine.

SOLUTION: On a TFT array substrate 10, pixel electrodes 9a are connected to data lines 6a through contact holes 5 and driven through the data lines 6a and scanning lines 3a by using TFTs 30. A contact hole 8 for connecting a TFT 30 and a pixel electrode 9a is bored almost in the center between the data line 6a of its stage and an adjacent data line 6a'.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more scanning lines which cross on a substrate at two or more data lines and two or more of these data lines, The switching element connected to each aforementioned data line and each aforementioned scanning line, Two or more pixel electrodes which were connected to two or more aforementioned switching elements, and have been arranged in the shape of a matrix are prepared. It comes to connect the aforementioned pixel electrode with the aforementioned switching element through a contact hole. the aforementioned contact hole The electro-optics panel between the data line for supplying a picture signal to the aforementioned pixel electrode, and the data line concerned and the adjacent data line which is mostly punctured by the center position and is characterized by the bird clapper.

[Claim 2] It is the electro-optics panel according to claim 1 which the capacity line which gives a predetermined storage capacitance to the aforementioned pixel electrode, respectively is mostly formed with the aforementioned scanning line on the aforementioned substrate at parallel, and is characterized by puncturing the aforementioned contact hole between the capacity line which adjoins each other, and the scanning line.

[Claim 3] An electro-optics panel given in any 1 term of the claim 1 characterized by preparing a piling film directly under the aforementioned contact hole at least under the aforementioned switching element, or a claim 2.

[Claim 4] The aforementioned switching element is an electro-optics panel given in any 1 term of the claim 1 which it consists of TFT, the source field of this TFT is electrically connected to the data line, and the drain field of this TFT is connected to the pixel electrode, has connected the aforementioned piling film with this drain field electrically, and is characterized by being an electric conduction film, or a claim 3.

[Claim 5] The aforementioned piling film is an electro-optics panel given in any 1 term of the claim 1 characterized by being prepared in the position which does not lap with the aforementioned scanning line and a capacity line, or a claim 4.

[Claim 6] The thickness of the aforementioned piling film is an electro-optics panel given in any 1 term of the claim 1 characterized by being almost the same as that of the thickness of the aforementioned scanning line and a capacity line, or a claim 5.

[Claim 7] The opening field of each pixel is an electro-optics panel given in any 1 term of the claim 1 characterized by having a flat-surface configuration symmetrical with a line to the aforementioned contact hole, or a claim 6.

[Claim 8] An electro-optics panel given in any 1 term of the claim 1 characterized by preparing a micro lens in the position which counters each pixel electrode so that it may have a lens center in the central point of the opening field of the aforementioned pixel, or a claim 7.

[Claim 9] Electronic equipment characterized by equipping any 1 term of a claim 1 or a claim 8 with the electro-optics panel of a publication.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention belongs to the technical field of the electronic equipment using the electro-optics panel of an active-matrix drive method and this by TFT (TFT:Thin Film Transistor is called hereafter) drive etc., and belongs to the technical field of the electronic equipment using the electro-optics panel and this which do not cause decline in the process yield or a pixel numerical aperture even if a pixel turns minutely especially.

[0002]

[Description of the Prior Art] As the pixel electrode prepared in the shape of a matrix is conventionally shown in drawing 16 in electro-optics panels, such as a liquid crystal panel of an active-matrix drive method controlled by TFT which is a switching element, pixel electrode 9a electrically connected to much TFT30' and the TFT concerned through the contact hole 8 corresponding to scanning-line 3a of a large number arranged in all directions, respectively, data-line 6a, and each of these intersections is prepared on the TFT array substrate. [two or more] each — TFT — 30 — ' — composition — a semiconductor — a layer — one — a — a channel — a field — one — a — ' (the drawing 16 left going-up slash section) — the scanning line — three — a — from — having projected — the gate — an electrode — three — a — ' — controlling — a picture signal — supplying — the data line — six — a — a contact hole — five — minding — electric — a semiconductor — a layer — one — a — the source Since especially pixel electrode 9a is prepared on the layer insulation film for insulating mutually various kinds of films which constitute wiring of TFT30', data-line 6a, scanning-line 3a, etc., etc., and the pixel electrode 9a concerned, it is connected to the drain field of TFT30' through the contact hole 8 punctured by the layer insulation film etc.

[0003]

[Problem(s) to be Solved by the Invention] However, in the technical field of a liquid crystal panel, in order to obtain high resolution quality of image, detailed-ization of a pixel pitch is accelerated [the request to highly-minute-izing of a pixel is becoming strong steadily to be accelerated] increasingly. Thus, when the pixel pitch L is narrowed and is made detailed as shown in drawing 16 in order to raise pixel density and to enable the display of a high definition picture, and since the size of a liquid crystal panel is miniaturized, the distance during [various / which makes a non-opening field] wiring will narrow. Moreover, there is a luminosity as an important element of a liquid crystal panel, and although this is realizable by raising the pixel numerical aperture which is a ratio of the opening field of the pixel to an image display field, if a pixel makes it detailed, since the field of TFT30' which is wiring and switching elements, such as data-line 6a and scanning-line 3a, will turn into a non-opening field, there is a certain fixed limitation in raising a pixel numerical aperture. Then, even if a pixel turns minutely, in order to raise a pixel numerical aperture, the interval of the contact hole 8 for connecting pixel electrode 9a and TFT30', and data-line 6a and scanning-line 3a will also narrow. Therefore, pixel electrode 9a and various wiring may have connected too hastily, and the fatal pixel defect may have been produced.

[0004] Moreover, it is also important to make TFT30' as a switching element detailed, and it is necessary it not only to narrow wiring width of face, such as data-line 6a and scanning-line 3a, but to attain detailed-ization respectively about the size of the contact hole 5 of the source field of semiconductor layer 1a, and data-line 6a, and the contact hole 8 of a drain field and pixel electrode 9a. Drawing 17 shows the cross section which met the D-D' line of drawing 16, i.e., the cross section of TFT30', and shows the process which punctures a contact hole 8. In drawing 17 (a), after forming the gate insulator layer 2 and the layer insulation films 4 and 7 on drain field 1e, as shown in drawing 17 (b), by exposing a resist 302 from the direction of a photo mask 303, in the case of the resist of a positive type, the resist 302 of the portion by which light was irradiated exposes, and a resist 302 is removed. However, the level difference of the layer insulation films 4 and 7 by gate electrode 3a' poses a problem here. In order to attain detailed-ization of the size of TFT30', when puncturing a contact hole 8 to the latest of gate electrode 3a', by this level difference section, the scattered reflection of light arose in mask exposure, and the fault that a resist 302 will retreat in the direction of the arrow in drawing arose. The direction of the portion of a pattern without the chromium film 304 of the shading nature on a photo mask 303, i.e., the diameter by which the resist 302 was removed from the diameter of a pattern for contact hole puncturing, became large by this, it became larger than the diameter of a pattern for contact hole puncturing whose diameter of puncturing formed this on the photo mask 303 when it *****ed, as shown in drawing 17 (c), and there was a problem that detailed-izing of a contact hole 8 was difficult.

[0005] Furthermore, the field which light penetrates like [although improvement in the efficiency for light utilization which used the micro lens etc. is required under the request of high-definition-izing of the display image in the technical field of a liquid crystal panel or energy saving] the conventional pixel shown in drawing 16 is a field which light penetrates [the inside which it was specified with the 2nd shading film 22 formed on the opposite substrate, and was enclosed with the dashed line]. Like the conventional example mentioned above, when the field which light penetrates is not an axial symmetry to the center of pixel opening, the effect of a micro lens cannot be harnessed in the maximum and use efficiency of an incident light cannot be acquired enough.

[0006] Let it be a technical problem to offer electronic equipment equipped with the electro-optics panel which does not cause decline in the process yield or a pixel numerical aperture even if a pixel turns minutely, and the electro-optics panel concerned by making this invention in view of an above-mentioned trouble, and using comparatively easy composition.

[0007]

[Means for Solving the Problem] In order that an electro-optics panel according to claim 1 may solve the above-mentioned technical problem, the data line of plurality [top / substrate], Two or more scanning lines which intersect two or more of these data lines, and the switching element connected to each aforementioned data line and each aforementioned scanning line, Two or more pixel electrodes which were connected to two or more aforementioned switching elements, and have been arranged in the shape of a matrix are prepared. It comes to connect the aforementioned pixel electrode with the aforementioned switching element through a contact hole, and while the data line for supplying a picture signal to the aforementioned pixel electrode, and the data line concerned and the adjacent data line, it is mostly punctured by the center position, and the aforementioned contact hole is characterized by the bird clapper.

[0008] The formation position of the contact hole punctured on a layer insulation film in order to connect the drain field and pixel electrode of TFT which are a switching element according to the electro-optics panel according to claim 1 Even if it can prevent the short circuit of the data line and a pixel electrode and a pixel turns minutely by [between the data line for supplying a picture signal to a corresponding pixel electrode, and the data line concerned and the adjacent data line] puncturing to a center position mostly, decline in the process yield or a pixel numerical aperture is not caused.

[0009] It is characterized by puncturing the capacity line by which an electro-optics panel according to claim 2 gives a predetermined storage capacitance to the aforementioned pixel electrode on the aforementioned substrate in an electro-optics panel according to claim 1,

respectively between the capacity line by which it is mostly prepared in parallel with the aforementioned scanning line, and the aforementioned contact hole adjoins each other, and the scanning line.

[0010] According to the electro-optics panel according to claim 2, the contact hole for connecting a pixel electrode with TFT which is a switching element becomes possible [doubling with the field which the disclination of the liquid crystal by pixel inter-electrode longitudinal direction electric field generates] by preparing a contact hole between the scanning line and a capacity line, although the level difference configuration causes the disclination of liquid crystal. Thereby, the non-opening field which could not but shade when the disclination of liquid crystal occurred conventionally can be stopped to the minimum. Moreover, in order to hold the write-in charge of a pixel, the high electro-optics panel of display grace can be realized by forming the capacity line for forming the storage capacitance added to a pixel electrode in a disclination generating field, without reducing a pixel numerical aperture. Furthermore, since the contact hole is punctured using the space between the capacity line which adjoins each other, without facing across an opening field, and the scanning line, it can take the large opening field symmetrical with a line where the width of face of the direction which met the data line by the capacity line and the scanning line was specified in each pixel arranged in the shape of a matrix. Therefore, the use efficiency of light is improved as compared with the case where a contact hole is formed in the corner of each pixel like before.

[0011] An electro-optics panel according to claim 3 is characterized by preparing a piling film directly under the aforementioned contact hole at least under the aforementioned switching element in an electro-optics panel given in any 1 term of a claim 1 or a claim 2.

[0012] According to the electro-optics panel according to claim 3, by laying a piling film under the semiconductor layer of TFT in the position which punctures the contact hole for connecting a pixel electrode with TFT which is a switching element, it can prevent so that it may not become a pixel defect, even if it runs through the semiconductor layer of TFT, in case a contact hole is punctured in an etching process. Since this becomes possible to thin-film-ize a semiconductor layer and a high-speed write-in property is acquired, the high electro-optics panel of a contrast ratio is realizable.

[0013] The aforementioned switching element consists of TFT in an electro-optics panel given in any 1 term of a claim 1 or a claim 3, the source field of this TFT is electrically connected to the data line, it connects with the pixel electrode, the drain field of this TFT has connected the aforementioned piling film with this drain field electrically, and an electro-optics panel according to claim 4 is characterized by being an electric conduction film.

[0014] According to the electro-optics panel according to claim 4, a piling film is electrically connected to the drain field of the semiconductor layer of TFT which is a switching element. As the quality of the material of a piling film, moreover, a polysilicon contest film and W (tungsten). By forming by electric conduction films, such as high-melting point metal membranes, such as Ti (titanium), Cr (chromium), Mo (molybdenum), and Ta (tantalum), or an alloy film of those Since the flow should be electrically taken though it runs through a semiconductor layer in case a contact hole is punctured in an etching process, a pixel defect is not produced.

[0015] An electro-optics panel according to claim 5 is characterized by preparing the aforementioned piling film in the position which does not lap with the aforementioned scanning line and a capacity line in an electro-optics panel given in any 1 term of a claim 1 or a claim 4.

[0016] According to the electro-optics panel according to claim 5, it lays so that it may not lap with the piling film prepared in the bottom of the drain field of the semiconductor layer of TFT, and the scanning line and the capacity line formed above the semiconductor layer concerned through a gate insulator layer. This means that the front face of the layer insulation film on the drain field of a semiconductor layer can be flattened mostly. Although this forms a resist mask in the field which does not remove a layer insulation film although a contact hole is punctured to the predetermined field of the aforementioned layer insulation film Since reflection of the light on the front face of a film can be suppressed and a resist will not retreat if flattening of the front face of a layer insulation film is carried out in case this resist mask is exposed at a photolithography process, the contact hole as a mask size can be formed mostly. Therefore,

since the puncturing geometry of a contact hole does not spread, the fall of the yield by the pixel defect is not caused. Moreover, since-izing of the size of a contact hole can be carried out [detailed], detailed-ization of a pixel is attained and highly-minute-izing and a miniaturization of an electro-optics panel can be realized.

[0017] In an electro-optics panel given in any 1 term of a claim 1 or a claim 5, as for an electro-optics panel according to claim 6, thickness of the aforementioned piling film is characterized by being almost the same as that of the thickness of the aforementioned scanning line and a capacity line.

[0018] According to the electro-optics panel according to claim 6, it becomes possible by forming the thickness of a piling film almost identically to the thickness of the scanning line or a capacity line to make still flatter the front face of the layer insulation film on the drain field of TFT. By this, retreat of a resist mask can be prevented further, the size of a contact hole can be further made detailed, detailed-ization which is the further pixel is attained, and it is advantageous to highly-minute-izing and a miniaturization of an electro-optics panel.

[0019] An electro-optics panel according to claim 7 is characterized by the opening field of each pixel having a flat-surface configuration symmetrical with a line in any 1 term of a claim 1 or a claim 6 to the aforementioned contact hole in the electro-optics panel of a publication.

[0020] According to the electro-optics panel according to claim 7, since it is punctured by the line symmetric position to the center line of the opening field of each pixel, the contact hole which connects the drain field and pixel electrode of TFT electrically can take the large opening field symmetrical with a line located near the center in each pixel which is arranged in the shape of a matrix and has a square flat-surface configuration. And the level difference of the pixel electrode in the circumference of a contact hole serves as an axial symmetry to an opening field. Therefore, when clockwise liquid crystal is used, or when counterclockwise liquid crystal is used, the ease of occurring with the poor orientation of liquid crystal, such as a reverse tilt, becomes almost the same. That is, if you use the liquid crystal of the surroundings, either, it becomes possible to prevent the situation which poor orientation generates notably, the liquid crystal of the surroundings of which can also be adopted equally, and it is convenient practically. Moreover, the use efficiency of light is improved as compared with the case where a contact hole is formed in the angle of each pixel like the conventional example shown in drawing 16 , and the optical irradiation field which is not a symmetrical form is formed in the opening field which is not an axial symmetry.

[0021] It is characterized by an electro-optics panel according to claim 8 preparing a micro lens in the position which counters each pixel electrode in an electro-optics panel given in any 1 term of a claim 1 or a claim 7, so that it may have a lens center in the center line of the aforementioned opening field.

[0022] According to the electro-optics panel according to claim 8, by doubling the central point of optical irradiation fields, such as a round shape by the micro lens, with the center line of the opening field of a pixel, the rate for which the optical irradiation field to the opening field concerned accounts can be raised, and efficiency for light utilization can be improved. Thereby, even if a pixel turns minutely, a bright electro-optics panel is realizable.

[0023] Electronic equipment according to claim 9 is characterized by equipping any 1 term of a claim 1 or a claim 8 with the electro-optics panel of a publication.

[0024] According to electronic equipment according to claim 9, electronic equipment is equipped with the electro-optics panel of the invention in this application mentioned above, even if a pixel turns minutely, it does not cause the fall of the yield, and its optical irradiation field to an opening field is large, and the bright high-definition image display of it becomes possible by the electro-optics panel by which the use efficiency of light has been improved.

[0025] Such an operation and other gains of this invention are made clear from the form of the operation explained below.

[0026]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained based on a drawing. In addition, the form of this operation explains, using a liquid crystal panel as an example of an electro-optics panel.

[0027] (The 1st operation form of a liquid crystal panel) The composition of the 1st operation form of a liquid crystal panel is explained based on drawing 3 from drawing 1. Drawing 1 is the representative circuit schematic having shown two or more pixels formed in the shape of [which constitutes the image display field of a liquid crystal panel] a matrix. Drawing 2 is the plan having shown two or more pixel groups adjoined on the TFT array substrate which constitutes a liquid crystal panel, and drawing 3 is a cross section between A-A' in drawing 2, and it shows the structure of TFT as a switching element of a pixel. In order to make each class and each part material into the size of the grade which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3.

[0028] First, data-line 6a to which two or more TFT30 for two or more pixels formed in the shape of [which constitutes the image display field of the liquid crystal panel by the form of this operation] a matrix controlling pixel electrode 9a to be shown in drawing 1 is formed in the shape of a matrix, and supplies a picture signal is electrically connected to the source of TFT30 concerned. The picture signal written in data-line 6a may be supplied to line sequential in order of S1, S2, —, Sn, and you may make it supply it for every group to two or more adjoining data-line 6a. Moreover, scanning-line 3a is electrically connected to the gate of the above TFT 30, and it is constituted so that it may be impressed by the scanning line 31 to predetermined timing and it may impress a scanning signal by line sequential in order of G1, G2, —, Gm in pulse. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signal supplied from the data line by closing the switch only during a fixed period in TFT30 which is a switching element to predetermined timing. The picture signal of the predetermined level written in liquid crystal through pixel electrode 9a is held during a fixed period between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When a molecule group's orientation and order change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. According to the voltage impressed when it was a normally white mode, passage of this liquid crystal portion of an incident light is made impossible, if it is normally black mode, according to the impressed voltage, passage of this liquid crystal portion of an incident light will be enabled, and light with the contrast according to the picture signal will carry out outgoing radiation from a liquid crystal panel as a whole. Here, in order to prevent the held picture signal leaking, a storage capacitance 70 is added to the liquid crystal capacity and parallel which are formed between pixel electrode 9a and a counterelectrode. Thereby, it is improved further and a maintenance property can realize the high liquid crystal panel of a contrast ratio. In addition, it cannot be overemphasized that capacity line 3b which is wiring for forming capacity as a method of forming a storage capacitance 70 may be prepared, and capacity may be formed between scanning-line 3a of the preceding paragraph.

[0029] Next, the composition of the 1st operation form of a liquid crystal panel is explained.

[0030] According to the 1st operation form, the flat-surface layout of the pixel which constitutes the image display field of a liquid crystal panel takes composition as shown in drawing 2.

scanning-line 3 that is, more than one are arranged in two or more pixel electrode 9a prepared in the shape of a matrix, data-line 6a to which more than one are arranged in the direction of X, and each extends along the direction of Y, and the direction of Y, and each is prolonged along the direction of X — it is prepared Here, channel field 1a' (the drawing 2 left riser slash section) of semiconductor layer 1a which constitutes TFT30 in the intersection of data-line 6a of eye SX watch and scanning-line 3a is formed, and the source field of TFT30 concerned is electrically connected to the bottom of data-line 6a by the contact hole 5. Moreover, the drain field of semiconductor layer 1a is installed to the latest of SX+1 position adjacent data-line 6a, and forms the 1f of the 1st storage-capacitance electrodes for adding capacity to a pixel. Between capacity line 3b, the 1f of the 1st storage-capacitance electrodes forms a storage capacitance by using a gate insulator layer as a dielectric. Capacity line 3b is installed in the direction of X to the outside of an image display field along with scanning-line 3a. Furthermore, if it installs from the drain field of semiconductor layer 1a similarly and the 1f of the 1st storage-capacitance electrodes is formed also in the bottom of data-line 6a of the self-stage, since a storage capacitance can be efficiently added in the non-light-transmission field of a liquid crystal panel

called the wiring formation section, the capacity for holding the charge written in the pixel improves, and the high liquid crystal panel of a contrast ratio can be realized. In addition, in drawing 2, though the relation (eye SX watch and SX+1 position) of data-line 6a becomes reverse, it is satisfactory in any way.

[0031] Here, the contact hole 8 for connecting the drain field of semiconductor layer 1a and pixel electrode 9a is formed between wiring of scanning-line 3a and capacity line 3b. This can form a contact hole 8 to the field which could not but shade conventionally effectively by doubling with the same field as the disclination by the longitudinal direction electric field which produce the field which the disclination of liquid crystal generates with the level difference configuration of a contact hole 8 among adjacent pixel electrode 9a. Moreover, directly under a contact hole 8, you may prepare conductive piling film 13a, such as a polysilicon contest film, and high-melting point metal membranes, such as W (tungsten), Ti (titanium), Cr (chromium), Mo (molybdenum), and Ta (tantalum), or an alloy film of those as an etching stopper, in the portion surrounded by the thick line of drawing 2. This is for making it not become a fatal pixel defect, even if it runs through semiconductor layer 1a, in case the contact hole 8 prepared in order to connect electrically the drain field of semiconductor layer 1a and pixel electrode 9a is punctured at an etching process, thereby, can realize thin film-ization of semiconductor layer 1a, and has the advantage which can form a semiconductor layer with little influence of the photoelectric effect to an improvement and light of transistor characteristics. In this case, it is formed and a part of piling film 13a [at least] becomes so that the formation field of a contact hole 8 may be surrounded, and it is made for scanning-line 3a and capacity line 3b not to lap with piling film 13a. the field in which the electric conduction film concerned was prepared so that it might not lap with piling film 13a in either [at least] scanning-line 3a or capacity line 3b as shown in drawing 2 when there were few margins with a contact hole 8, scanning-line 3a, and capacity line 3b — meeting — scanning-line 3a and capacity line 3b — being two-dimensional (superficial) — you may make it make it become depressed Furthermore, even if a pixel turns minutely by [between data-line 6a of eye SX watch adjoin each other in a contact hole 8 and data-line 6a / SX+1 position] preparing in a center mostly, it becomes possible to prevent that data-line 6a and pixel electrode 9a connect too hastily, and **** defects by the defect of TFT30, such as a point defect and a line defect, can be reduced sharply.

[0032] Moreover, it is made for an incident light not to be irradiated by the joint of direct channel field 1a' and the channel field 1a' concerned, a source field, and a drain field in the liquid crystal panel of the 1st operation form by [of TFT30] forming a joint with channel field 1a' and the channel field 1a' concerned, a source field, and a drain field under the data-line 6a at least. Furthermore, so that a joint with channel field 1a' and the channel field 1a' concerned, a source field, and a drain field may not irradiate, even if there is little TFT30 1st shading film 11a, such as high-melting point metal membranes, such as W (tungsten), Ti (titanium), Cr (chromium), Mo (molybdenum), and Ta (tantalum), or an alloy film of those, and a polysilicon contest film, is prepared also in the lower part of TFT30 through the layer insulation film (the drawing 2 upward-slant-to-the-right slash section). If such composition is taken, the leakage current produced when the light which penetrated pixel opening reflects with a polarizing plate etc. and irradiates TFT30 can be prevented. In order to raise efficiency for light utilization, even if this carries out incidence of the strong light, it means that the leakage current by the photoelectric effect of semiconductor layer 1a can be prevented, and is effective for the liquid crystal panel of a projector use especially. In addition, in order to prevent degradation of the transistor characteristics of TFT30, as for 1st shading film 11a, it is good to supply constant potentials, such as grounding potential. Under the present circumstances, if it is made to connect with constant potential lines, such as a power supply supplied to the circumference circuit established in the outside of an image display field, since neither the external circuit end-connection child of exclusive use nor leading-about wiring is needed, a deployment of the space of a TFT array substrate can be aimed at.

[0033] Drawing 3 is the cross section which met the A-A' line of drawing 2, and shows the structure of TFT30 and a storage capacitance 70 in three dimensions. It has TFT30 and LDD (Lightly Doped Drain) structure. Channel field 1a' of semiconductor layer 1a in which a channel is

formed of the electric field from scanning-line 3a containing a gate electrode, and scanning-line 3a, Low concentration source field (source side LDD field) 1b of the insulating thin film 2 and semiconductor layer 1a and low concentration drain field (drain side LDD field) 1c containing the gate insulator layer which insulates scanning-line 3a and semiconductor layer 1a, It has 1d of high concentration source fields of semiconductor layer 1a, and high concentration drain field 1e. Data-line 6a is connected to 1d of high concentration source fields, and one to which it corresponds of two or more pixel electrode 9a is connected to high concentration drain field 1e. Low concentration source field 1b and 1d of high concentration source fields, low concentration drain field 1c, and high concentration drain field 1e are formed by doping the impurity ion the object for n types of predetermined concentration, or for p types to semiconductor layer 1a like the after-mentioned according to whether n type or a p type channel is formed. TFT of an n type channel has the advantage that a working speed is quick, and it is used in many cases as TFT30 which is the switching element of a pixel. Data-line 6a is constituted from the electric conduction film of shading nature, such as alloy films, such as metal membrane metallurgy group silicide, such as aluminum, by especially this operation form. Moreover, on scanning-line 3a, the insulating thin film 2, and the insulator layer 12 between the 1st layer, while [the 2nd layer] the contact hole 8 which leads to the contact hole 5 and high concentration drain field 1e which lead to 1d of high concentration source fields was formed, respectively, the insulator layer 4 is formed. Data-line 6a is electrically connected to 1d of high concentration source fields through the 1d [of this high concentration source field] contact hole 5. Furthermore, between data-line 6a and the 2nd layer, on the insulator layer 4, while [the 3rd layer] the contact hole 8 to high concentration drain field 1e was formed, the insulator layer 7 is formed. Pixel electrode 9a is electrically connected to high concentration drain field 1e through the contact hole 8 to this high concentration drain field 1e. The above-mentioned pixel electrode 9a is prepared in the upper surface of an insulator layer 7 between the 3rd layer constituted in this way. Here, conductive piling film 13a is prepared directly under a contact hole 8 at the lower layer of high concentration drain field 1e of semiconductor layer 1a, and the high concentration drain field 1e concerned. Though high concentration drain field 1e of semiconductor layer 1a runs, since lower layer piling film 13a connects electrically by etching at the time of puncturing of a contact hole 8 by this, it does not become a fatal defect. Moreover, it is better to arrange the thickness of scanning-line 3a, capacity line 3b, and piling film 13a, since it is better to carry out flattening of the field which punctures a contact hole 8 as much as possible. Moreover, as shown in drawing 2 , piling film 13a is installed in the space between scanning-line 3a and capacity line 3b, and the flattest possible field is formed. If such composition is taken, since a level difference will not be produced on the front face of the lower layer layer insulation film of pixel electrode 9a between the circumference of a contact hole 8, and wiring of scanning-line 3a and capacity line 3b, the field which the disclination of liquid crystal generates can be lessened as much as possible. This becomes possible to raise a pixel numerical aperture further.

[0034] the gate electrode which TFT30 may have offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c although it has LDD structure as mentioned above preferably, and consists of a part of scanning-line 3a — a mask — carrying out — high concentration — impurity ion — devoting oneself — self — you may be self aryne type TFT which forms 1d of high concentration source fields, and high concentration drain field 1e conformably

[0035] Moreover, in the structure of TFT30 shown in drawing 3 , the gate electrode which consists of a part of two scanning-line 3a by which the same scanning signal is supplied through the insulating thin film 2 between 1d of high concentration source fields of TFT30 and high concentration drain field 1e is prepared so that it may become series resistance, and it is good also as TFT of dual gate (double-gate) structure. Thereby, the leakage current of TFT30 can be reduced. Moreover, if it has above-mentioned LDD structure or above-mentioned offset structure for TFT of dual gate structure, the leakage current of TFT30 can be reduced further and a high contrast ratio can be realized. Moreover, it not only can reduce a pixel defect sharply, but in the time of elevated-temperature operation, since the leakage current is low, the quality of image of a high contrast ratio is realizable [with dual gate structure / it can give redundancy,

and]. In addition, the gate electrode prepared between 1d of high concentration source fields of TFT30 and high concentration drain field 1e cannot be overemphasized by that three or more are sufficient.

[0036] Although current occurs according to channel field 1a' of semiconductor layer 1a, and the photo-electric-translation effect which contest polysilicon has when light carries out incidence of low concentration source field 1b, the low concentration drain field 1c, etc. and the transistor characteristics of TFT30 generally deteriorate here Since data-line 6a is formed from the metal membrane of shading nature, such as aluminum, etc. with this operation gestalt so that scanning-line 3a may be covered from the bottom The light of the incident light (namely, drawing 3 light from a top) to channel field 1a' of semiconductor layer 1a and low concentration source field 1b, and low concentration drain field 1c can be prevented effectively at least. Moreover, as mentioned above, to the TFT30 down side, since 1st shading film 11a is prepared, the incidence of the return light (namely, drawing 3 light from the bottom) to channel field 1a' of semiconductor layer 1a and low concentration source field 1b, and low concentration drain field 1c can be prevented effectively at least.

[0037] Moreover, as shown in drawing 1 , the storage capacitance 70 is formed in pixel electrode 9a, respectively. The 1f of the 1st storage-capacitance electrodes in which this storage capacitance 70 was more specifically installed from high concentration drain field 1e of semiconductor layer 1a, The 2nd storage-capacitance electrode which consists of an insulating thin film 2 as a dielectric film of a storage capacitance 70, and a part of capacity line 3b formed of the same process as scanning-line 3a, It consists of a part of pixel electrode 9a which counters capacity line 3b through an insulator layer 4, the insulator layer 7 between the 3rd layer, the insulator layer 4 between the 2nd layer, and the insulator layer 7 between the 3rd layer between the 2nd layer. Thus, since the insulating thin film 2 is made to intervene and the storage capacitance 70 is formed between the 2nd storage-capacitance electrodes which consist of a part of 1f of the 1st storage-capacitance electrodes, and capacity line 3b, even if duty ratio is small, a high definition display is enabled. Capacity line 3b is mostly prepared in parallel with scanning-line 3a, as shown in drawing 2 . Furthermore, like this operation form, between the 1st layer, an insulator layer 12 can function as a dielectric film, and can aim at increase of a storage capacitance 70 by preparing 1st shading film 11a in the bottom of the 1f of the 1st storage-capacitance electrodes through an insulator layer 12 between the 1st layer. A liquid crystal panel with thereby still higher quality-of-image grace is realizable.

[0038] (Manufacture process of a liquid crystal panel) Next, the manufacture process of a liquid crystal panel with the above composition is explained with reference to drawing 7 from drawing 4 . In addition, it is process drawing which drawing 6 makes each class by the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 2 from drawing 4 , and is shown. Moreover, it is process drawing making drawing 7 correspond to the B-B' cross section of drawing 2 , and showing each class by the side of a TFT array substrate in it, and the process from (17) of drawing 6 is shown. In addition, in order to make each class and each part material into the size of the grade which can be recognized on a drawing in drawing 7 from drawing 4 , scales are made to have differed for each class or every each part material.

[0039] First, with reference to drawing 6 , the manufacture process of the portion containing TFT30 corresponding to the A-A' cross section of drawing 2 is explained from drawing 4 .

[0040] As shown in the process (1) of drawing 4 , the TFT array substrates 10, such as a quartz substrate and hard glass, are prepared. Here, preferably, annealing processing is carried out at inert gas atmosphere, such as N₂ (nitrogen), and the elevated temperature of about 900–1300 degrees C, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance.

[0041] thus, the whole surface of the processed TFT array substrate 10 — metal alloy films, such as metal metallurgy group silicide, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), — sputtering — about 100–500nm thickness — the

shading film 11 of about 200nm thickness is formed preferably. In addition, when used for a use which carries out incidence of the quantity of light which is the grade which a cross talk does not generate, it is not necessary to form the shading film 11.

[0042] Then, as shown in a process (2), 1st shading film 11a is formed by forming the mask corresponding to the pattern of 1st shading film 11a by the photolithography on the this formed shading film 11, and etching to the shading film 11 through this mask. Under the present circumstances, 1st shading film 11a may be formed in the shape of an island, and may be formed in the shape of stripes along with scanning-line 3a or data-line 6a. Moreover, if it forms in the shape of a grid as shown in drawing 2, low resistance-ization of 1st shading film 11a can be attained.

[0043] As shown in a process (3), by the ordinary pressure or reduced pressure CVD on 1st shading film 11a Next, TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl OKISHI force rate) gas, etc. are used. NSG (silicate glass film which includes neither boron nor Lynn), PSG (silicate glass film including Lynn), While [the 1st layer] consisting of silicate glass films, such as BSG (silicate glass film containing boron), and BPSG (silicate glass film containing Lynn and boron), a silicon nitride film, a silicon-oxide film, etc., an insulator layer 12 is formed. The thickness of an insulator layer 12 may be about 800–1500nm between this 1st layer.

[0044] Next, as shown in a process (4), the electric conduction film 13 is formed by reduced pressure CVD or the spatter. The electric conduction film 13 consists of refractory metals, such as a polysilicon contest film, and W (tungsten), Ti (titanium), Cr (chromium), Mo (molybdenum), Ta (tantalum), or an alloy film of those, and, as for the thickness of the electric conduction film 13, it is good to make it become the same thickness as the scanning line and the capacity line which are formed at a back process. About this advantage, it mentions later.

[0045] Next, as shown in a process (5), it leaves island-like piling film 13a directly under the drain field of pixel electrode 9a and semiconductor layer 1a at a back process by giving a photolithography process, an etching process, etc. In addition, even if piling film 13a is laid so that it may not become poor, even if the contact hole for connecting the drain field of a semiconductor layer with pixel electrode 9a electrically runs through the semiconductor layer concerned at the time of etching, and it lays it directly under the contact hole 5 for connecting with data-line 6a and the source field of a semiconductor layer electrically, it is satisfactory in any way.

[0046] Next, as shown in a process (6), about 450–550 degrees C of amorphous silicon films are preferably formed comparatively on piling film 13a with the reduced pressure CVD (for example, CVD with a pressure of about 20–40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in low-temperature environment. Then, in nitrogen-gas-atmosphere mind, at about 600–700 degrees C, preferably, solid phase growth of the polysilicon contest film 1 is carried out by ***** which performs annealing processing of 4 – 6 hours for about 1 to 10 hours until it becomes the thickness of about 100nm preferably in about 50–200nm thickness. Under the present circumstances, when creating n channel type TFT30, you may dope slightly the impurity ion of V group elements, such as Sb (antimony), As (arsenic), and P (Lynn), with an ion implantation etc. Moreover, when using TFT30 as a p-channel type, you may dope slightly the impurity ion of III group elements, such as B (boron), Ga (gallium), and In (indium), with an ion implantation etc. In addition, you may form the polysilicon contest film 1 directly by reduced pressure CVD etc. without passing through an amorphous silicon film. Or drive silicon ion into the polysilicon contest film deposited by reduced pressure CVD etc., once make it amorphous (amorphous-izing), it is made to recrystallize by annealing processing etc. after that, and the polysilicon contest film 1 may be formed. Moreover, annealing processing may be carried out by laser radiation, such as an excimer laser, and solid phase growth of the silicon nucleus may be carried out.

[0047] Next, as shown in a process (7), semiconductor layer 1a of the shape of an island of a predetermined pattern is formed according to a photolithography process, an etching process, etc. Under the present circumstances, in order to improve the maintenance property of the channel field used as a switching element, and not only a source drain field but a pixel, the field

of the 1f of the 1st storage-capacitance electrodes used as one electrode of the storage-capacitance electrode for adding capacity is formed collectively.

[0048] Next, as shown in a process (8), a thermal oxidation film with a comparatively thin thickness of about 10–50nm is formed for semiconductor layer 1a the temperature of about 900–1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably, a high-temperature-oxidation silicon film (HTO film) and a silicon nitride film are further deposited on the comparatively thin thickness of about 100–1000Å by reduced pressure CVD etc., and the insulating thin film 2 with multilayer structure is formed. The insulating thin film 2 cannot be overemphasized by functioning as the gate insulator layer of TFT30, and a dielectric film of a storage capacitance 70. consequently, the thickness of semiconductor layer 1a — the thickness of about 20–150nm — desirable — the thickness of about 35–50nm — becoming — the thickness of the gate insulator layer 2 — the thickness of about 20–150nm — it becomes the thickness of about 30–100nm preferably Thus, by shortening elevated-temperature thermal oxidation time, when using especially an about 8 inches large-sized substrate, the warp by heat can be prevented. However, you may form the insulating thin film 2 with a single layer structure only by oxidizing the polysilicon contest film 1 thermally. Or in order to realize high pressure-proofing-ization of the insulating thin film 2, you may use a silicon nitride film.

[0049] Next, as shown in the process (9) of drawing 5 , after depositing the polysilicon contest film 3 by reduced pressure CVD etc., thermal diffusion of the P (Lynn) is carried out, and the polysilicon contest film 3 is electric-conduction-ized. Or you may use the doped silicon film which introduced P ion simultaneously with membrane formation of the polysilicon contest film 3. As shown in a process (10), scanning-line 3a of the **** predetermined pattern shown in drawing 8 and capacity line 3b are formed according to the photolithography process using the mask, an etching process, etc. The thickness of scanning-line 3a may be about 100–800nm. Under the present circumstances, the puncturing configuration of a contact hole can be prevented from spreading by making it the almost same thickness as the thickness of piling film 13a.

[0050] However, scanning-line 3a may be formed from a high-melting point metal membrane or metal silicide films, such as not a polysilicon contest film but W, Mo, etc., or may be formed in a multilayer combining these metal membranes or a metal silicide film, and a polysilicon contest film. In this case, if the 2nd shading film 22 shown in drawing 3 arranges scanning-line 3a as a shading film corresponding to some or all of a wrap field, it will also become possible to omit some or all of the 2nd shading film 22 by the shading nature which a metal membrane metallurgy group silicide film has. In this case, there is an advantage which can prevent decline in the pixel numerical aperture by the lamination gap with the opposite substrate 20 and the TFT array substrate 10 especially.

[0051] next, as shown in a process (11), when setting TFT30 to n channel type TFT with LDD structure, in order to form low concentration source field 1b and low concentration drain field 1c in semiconductor layer 1a first, the impurity ion 300 of V group elements, such as P, is doped by low concentration by using scanning-line 3a as a diffusion mask (for example, P ion — the dose of one to 3×10^{13} —/cm²) Thereby, semiconductor layer 1a under scanning-line 3a becomes channel field 1a'. Moreover, semiconductor layer 1a under capacity line 3b becomes the 1f of the 1st storage-capacitance electrodes which use the insulating thin film 2 as a dielectric, and form a storage capacitance 70. In addition, you may drive in and form P ion etc. into low resistance beforehand into the portion which forms the 1f of the 1st storage-capacitance electrodes.

[0052] next, after forming the resist layer 302 on scanning-line 3a with a mask with wide width of face rather than scanning-line 3a in order to form 1d of high concentration source fields, and high concentration drain field 1e as shown in a process (12), similarly the impurity ion 301 of V group elements, such as P, is doped by high concentration (for example, P ion — the dose of one to 3×10^{15} —/cm²) Moreover, when using TFT30 as a p-channel type, the field of n channel type TFT30 is covered and protected by the resist, and a process (11) and (12) are repeated again. In order to form low concentration source field 1b, low concentration drain field 1c and 1d of high concentration source fields, and high concentration drain field 1e in semiconductor layer

1a at this time, the impurity ion of III group elements, such as B (boron), is used and doped. Thus, when it considers as LDD structure, the advantage which can reduce the short channel effect is acquired. In addition, it is good also as TFT of offset structure, without, for example, doping low-concentration impurity ion, and it is good also as self aryne type TFT by the ion-implantation technology using P ion, B ion, etc., using as a mask the gate electrode which consists of a part of scanning-line 3a.

[0053] In parallel to these processes, a circumference drive circuit with the complementary-type structure which consists of n channel type TFT and p-channel type TFT can be formed in the periphery on the TFT array substrate 10. Thus, with this operation form, it is the same process, circumference drive circuits, such as a data-line drive circuit and a scanning-line drive circuit, can be formed at the time of formation of TFT30, and it is advantageous on manufacture.

[0054] Next, using an ordinary pressure or reduced pressure CVD, TEOS gas, etc., as shown in a process (13), while [the 2nd layer] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, a silicon-oxide film, etc., an insulator layer 4 is formed, so that scanning-line 3a and capacity line 3b may be covered. Between the 2nd layer; since the thickness of an insulator layer 4 does not make the capacity during wiring add, its comparatively thicker one is good and about 500–1500nm is desirable.

[0055] Next, after performing about 1000-degree C annealing processing about 20 minutes in order to activate semiconductor layer 1a as shown in a process (14), the contact hole 5 to data-line 6a is formed by dry etching, such as reactive ion etching and reactant ion beam etching. Under the present circumstances, there is an advantage that the direction which punctured the contact hole 5 can make a puncturing configuration almost the same as a mask configuration by anisotropic etching like reactive ion etching and reactant ion beam etching. However, if it punctures combining dry etching and wet etching, since a contact hole 5 will be made in the shape of a taper, the advantage that the open circuit at the time of wiring connection can be prevented is acquired. Moreover, the contact hole for connecting with the wiring which does not illustrate scanning-line 3a can also be punctured to an insulator layer 4 between the 2nd layer according to the same process as a contact hole 5.

[0056] Next, as shown in the process (15) of drawing 6, it deposits preferably in about 100–800nm thickness by sputtering processing etc. on an insulator layer 4 between the 2nd layer at about 300nm as metal content films 6, such as low resistance metal metallurgy group silicide, such as aluminum of shading nature.

[0057] Next, as shown in a process (16), data-line 6a is formed according to a photolithography process, an etching process, etc. If it forms by dry etching, such as reactive ion etching and reactant ion beam etching, as an etching process, over etching can be stopped and there is an advantage which patterning can improve precision as a mask size.

[0058] Next, using an ordinary pressure or reduced pressure CVD, TEOS gas, etc., as shown in a process (17), while [the 3rd layer] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, a silicon-oxide film, etc., an insulator layer 7 is formed, so that a data-line 6a top may be covered. Between the 3rd layer, the thickness of an insulator layer 7 has the comparatively thicker good one so that capacity may not be added between data-line 6a and pixel electrode 9a formed at a back process, and its about 500–1500nm is desirable. moreover, the silicate glass film which constitutes an insulator layer 7 between the 3rd layer with the level difference of TFT30 which is wiring and a switching element since the disclination of liquid crystal may occur — replacing with — or — in piles — an organic film and SOG (spin-on glass) — a spin coat — carrying out — or — or CMP (Chemical Mechanical Polishing) processing may be performed and a flat film may be formed If such composition is taken, even if it becomes possible to reduce the generating field of the disclination of liquid crystal as much as possible and a pixel turns minutely, a high pixel numerical aperture is realizable.

[0059] Next, as shown in a process (18), the contact hole 8 for carrying out electrical connection of pixel electrode 9a and the high concentration drain field 1e is formed by dry etching, such as reactive ion etching and reactant ion beam etching. Under the present circumstances, the advantage that the direction which punctured the contact hole 8 can make a puncturing configuration almost the same as a mask configuration by anisotropic etching like reactive ion

etching and reactant ion beam etching is acquired. However, if it punctures combining dry etching and wet etching, since a contact hole 8 will be made in the shape of a taper, the advantage that the open circuit at the time of wiring connection can be prevented is acquired. Moreover, since not only high concentration drain field 1e of semiconductor layer 1a but piling film 13a which is an electric conduction film is laid directly under the puncturing field of a contact hole 8, even if it runs through semiconductor layer 1a, with a bird clapper, there should be nothing to a **** defect. Furthermore, by laying piling film 13a, since channel field 1a' of semiconductor layer 1a can thin-film-ize, the property of an element can be improved.

[0060] Next, between the 3rd layer, as shown in a process (19), as the transparent conductivity thin films 9, such as an ITO (Indium Tin Oxide) film, are deposited on the thickness of about 50–200nm and are further shown in a process (20) by sputtering etc., pixel electrode 9a is formed according to a photolithography process, an etching process, etc. on an insulator layer 7. In addition, when using the liquid crystal panel concerned for reflected type liquid crystal equipment, you may form pixel electrode 9a from an opaque material with high reflection factors, such as aluminum. In this case, in case an insulator layer 7 is formed between the 3rd layer, it is necessary to carry out flattening by CMP processing etc., and it is necessary to make pixel electrode 9a into the shape of a mirror plane.

[0061] Then, after applying the application liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 23 shown in drawing 3 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0062] On the other hand, about the opposite substrate 20 shown in drawing 3, a glass substrate etc. is prepared first, and after the 2nd shading film 22 carries out the spatter for example, of the metal chromium, it is formed through a photolithography process and an etching process. Moreover, the 2nd shading film 22 may form others, carbon, and Ti, such as Cr, nickel (nickel), and aluminum, from material, such as a black resin distributed to the photoresist.

[metallic material] In addition, if a shading film is formed on the TFT array substrate 10, since an opening field will be specified on the TFT array substrate 10, the 2nd shading film 22 on an opposite substrate becomes unnecessary, the lamination precision of the TFT array substrate 10 and the opposite substrate 20 can be disregarded, and the liquid crystal panel with which permeability does not vary can be realized.

[0063] Then, a counterelectrode 21 is formed by sputtering etc. all over the opposite substrate 20 by depositing transparent conductivity thin films, such as ITO, on the thickness of about 50–200nm. Furthermore, after applying the application liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 23 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0064] Finally the TFT array substrate 10 and the opposite substrate 20 in which each class was formed as mentioned above The gap material which consists of a glass fiber with the diameter of predetermined (for example, about 1–6-micrometer diameter), a glass bead, etc. is stuck by the sealant in which only the specified quantity was mixed so that the orientation film 23 may meet. by vacuum suction etc. The liquid crystal which comes to mix two or more kinds of pneumatic liquid crystals etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed in the space between both substrates.

[0065] Here, the manufacture process at the time of puncturing the contact hole 8 prepared in the field inserted into scanning-line 3a and capacity line 3b is explained. In addition, drawing 7 is the cross section which met the B-B' line of drawing 2, and the process (a) of drawing 7 has agreed with the process (17) of above-mentioned drawing 6. Moreover, the process of drawing 7 (a) – (d) is explained as contrasted with drawing 17 [of the conventional example] (a) – (d).

[0066] As shown in the process (a) of drawing 7, with the liquid crystal panel of this operation form, the field which punctures the contact hole 8 on an insulator layer 7 between the 3rd layer is changed into an almost flat state by arranging mostly the thickness of scanning-line 3a, and capacity line 3b and piling film 13a.

[0067] Next, as shown in the process (b) of drawing 7, it exposes with stepper equipment etc. using a photo mask 303. When a resist 302 is a resist of a positive type, a portion (namely, portion which light penetrates) without the chromium film 304 of the shading nature on a photo

mask 303 is removed. The resist 302 on an insulator layer 7 can remove a resist 302 between the 3rd layer in the same size as the portion of a pattern which the field which punctures a contact hole 8 does not have a scattered reflection at the time of exposure etc., and does not have the chromium film 304 of the shading nature on a photo mask 303, i.e., the diameter for contact hole puncturing. Therefore, since there is no retreat of the resist 302 as shown in drawing 17 (b) which is the conventional example, the contact hole as a design value can be punctured. Thereby, even if a pixel turns minutely, the fall of the yield is not caused and the liquid crystal panel of a high pixel numerical aperture can be realized.

[0068] Next, it is made for the diameter of puncturing of a contact hole 8 not to spread as much as possible by forming a contact hole 8 by the dry etching of anisotropies, such as reactive ion etching and reactant ion beam etching, as shown in the process (c) of drawing 7. Moreover, though wet etching is given in order to form the side attachment wall of a contact hole 8 in the shape of a taper, since the resist 302 is not retreating like before, the diameter of puncturing does not spread and a detailed contact hole can be punctured.

[0069] Finally, if pixel electrode 9a is prepared as shown in the process (d) of drawing 7, the pixel of the image display field of a TFT array substrate can be formed.

[0070] (The 2nd operation form of a liquid crystal panel) The 2nd operation form of the liquid crystal panel by this invention is explained with reference to drawing 8 and drawing 9. Drawing 8 is the plan having shown two or more pixel groups adjoined on the TFT array substrate which constitutes a liquid crystal panel, and drawing 9 is a cross section between C-C' in drawing 8, and it shows the structure of TFT as a switching element of a pixel. In order to make each class and each part material into the size of the grade which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 9. In addition, in drawing 8 and drawing 9, about the same component as drawing 7, the same reference mark is attached from drawing 2, and the explanation is omitted.

[0071] With the 2nd operation form, the whole liquid crystal panel composition is the same as that of the 1st operation form shown in drawing 2 and drawing 3 almost, and as shown in drawing 8, the place which has not laid 1st shading film 11a under TFT30 is different. For example, in the case of the liquid crystal panel used for the use which does not need to carry out incidence of the strong light like the liquid crystal panel of a direct viewing type, it is not necessary to lay 1st shading film 11a.

[0072] Therefore, as shown in drawing 9, when there is no salient in the front face of the TFT array substrate 10 and sufficient washing is performed the case where 1st shading film 11a is not prepared, it is not necessary to form an insulator layer 12 between the 1st layer. Thereby, the process which forms 1st shading film 11a, and the process which deposits an insulator layer 12 between the 1st layer are reducible. That is, since the process of (1) to (3) of drawing 4 is reducible, in the manufacture yield or a cost side, it is effective.

[0073] moreover, the 2nd operation form — like — insulator layer 7 between the 3rd layer itself — or if CMP processing and flattening films, such as an organic film, are formed on an insulator layer between the 3rd layer, since the scattered reflection at the time of the exposure in the photolithography process at the time of puncturing a contact hole 8 can be prevented, the detailed contact hole 8 is realizable. If such composition is taken, it is not necessary to make thickness of piling film 13a the same as that of the thickness of scanning-line 3a or capacity line 3b.

[0074] (The 3rd operation form of a liquid crystal panel) The 3rd operation form of the liquid crystal panel by this invention is explained with reference to drawing 10. Drawing 10 is the plan having shown two or more pixel groups adjoined on the TFT array substrate which constitutes a liquid crystal panel.

[0075] With the 3rd operation form, the whole liquid crystal panel composition is the same as that of the 1st operation form shown in drawing 2 and drawing 3 almost, and the pixel pitch L of the direction of X is an example in the case of being narrow. It is $1/3$ of the pixel pitch L shown with the 1st operation form, and this prepares a light filter on an opposite substrate, and it is the operation form of a liquid crystal panel which forms 1 dot of data by 3 pixels, and it can be used for it as a display of the liquid crystal projector of a veneer method and notebook computer

which use one liquid crystal panel of light-filter loading.

[0076] Thus, if the pixel pitch L of the direction of X narrows, since the distance between data-line 6a will narrow, possibility that pixel electrode 9a will connect too hastily through data-line 6a and a contact hole 8 becomes high. When data-line 6a is formed by aluminum (aluminum) film, it becomes high notably. Since this has the low melting point of aluminum film, it is a reason that an insulator layer 7 cannot be formed in the shape of porous one by high temperature processing between the 3rd layer. Therefore, the etching rate at the time of puncturing a contact hole 8 will be rash. In order to make especially the side attachment wall of opening into the shape of a taper, if wet etching is performed, the diameter of puncturing of the insulator layer 7 between the 3rd layer of a contact hole 8 will tend to become large. Moreover, when piling film 13a as an etching stopper was not prepared like before, since the selection ratio of semiconductor layer 1a and a layer insulation film was low, it was difficult [it] only at dry etching for there to be a possibility of running, and for there to be a situation that the combined use with wet etching must be performed, and to form the diameter of puncturing small.

[0077] The graph with which transition of the pixel pitch L and percent defective at the time of designing a contact hole 8 with 2-micrometer square, and designing the wiring width of face of data-line 6a by 5 micrometers was expressed to drawing 11 is shown. (a) of drawing 11 is the liquid crystal panel produced in the conventional manufacture process, and (b) of drawing 11 is as a result of the liquid crystal panel produced in the manufacture process of this operation form. Although according to this the percent defective by the pixel defect will increase rapidly in the conventional example of (a) if a pixel pitch is set to 20 micrometers or less, unless it is set to 10 micrometers or less, the percent defective by the pixel defect does not increase with this operation form. Therefore, although detailed-izing of a pixel and high numerical aperture-ization progress, there are few short circuits of data-line 6a, scanning-line 3a, or capacity line 3b and pixel electrode 9a, and if the liquid crystal panel of this operation form is used, since the contact hole 8 of the drain field of semiconductor layer 1a and pixel electrode 9a does not run, the fall of the yield will not be caused.

[0078] Moreover, when the distance of a contact hole 8 and data-line 6a is extremely near, you may make it the field which sets up the thickness of piling film 13a so that it may become almost the same as the thickness of data-line 6a, namely, punctures the layer insulation film and contact hole 8 on data-line 6a become a flat surface mostly like the 3rd operation form. Since the flare of the diameter of puncturing of a contact hole 8 can be suppressed and a level difference is eased even if it takes such composition, it becomes possible to reduce the disclination of liquid crystal.

[0079] Furthermore, according to this operation form, since the contact hole 8 is punctured by the line symmetric position to center line 9c (refer to drawing 2 , drawing 8 , and drawing 10) of an opening field, the level difference (refer to drawing 3) of pixel electrode 9a in the circumference of a contact hole 8 serves as an axial symmetry to an opening field. this will demonstrate an effect, especially if TN (Twisted Nematic) liquid crystal is used, and when clockwise liquid crystal is used for the liquid crystal layers 50 and counterclockwise liquid crystal is used, but the ease of occurring with the poor orientation of liquid crystal, such as a reverse tilt, becomes almost the same That is, if you use the liquid crystal of the surroundings, either, it becomes possible to prevent the situation which poor orientation generates notably, clockwise liquid crystal or counterclockwise liquid crystal can also be equally adopted as a liquid crystal layer 50, and it is convenient practically.

[0080] As composition was explained above, according to the form of this operation, as compared with the case where pixel electrode 9a is connected to the drain of TFT through the contact hole 8 formed in the angle of each pixel, the use efficiency of light is improved like the conventional example shown in drawing 16 . Especially, since an opening field has the rectangle near a square, i.e., a flat-surface configuration symmetrical with rotation, in the case of this operation form, the rate for which optical irradiation fields, such as a round shape, account to the opening field concerned becomes high, and the use efficiency of light is improved. In addition, it cannot be overemphasized that it is good also as a configuration symmetrical with other rotations of an opening field of circular, a regular dodecagon, a right octagon, a right hexagon, a

square, etc. As shown in drawing 2, with this operation form furthermore, the width of face of the opening field of the direction of X It is prescribed by two data-lines 6a which adjoins each other. the width of face of the opening field of the direction of Y It is prescribed by scanning-line 3a and capacity line 3b which adjoin each other across an opening field, and the two-dimensional space of an image display field can be used effectively by puncturing a contact hole 8 to the space between scanning-line 3a which adjoins each other, without facing across an opening field, and capacity line 3b. Therefore, an opening field can be more efficiently made large and the use efficiency of light is improved very much.

[0081] (Composition of a liquid crystal panel) Since TFT30 which is the switching element of a pixel is polysilicon contest (p-Si) type TFT, the liquid crystal panel using this operation form can form the circumference circuit for driving a pixel on the TFT array substrate 10 at the same process at the time of formation of TFT30. Such circumference circuit built-in liquid crystal panel 100 whole composition is explained with reference to drawing 12 and drawing 13. In addition, drawing 12 is the plan which looked at the TFT array substrate from the opposite substrate side with each component formed on it, and drawing 13 is an H-H' cross section of drawing 12 shown including an opposite substrate.

[0082] In drawing 12, on the TFT array substrate 10, the 3rd shading film 53 of the shading nature for specifying an image display field is formed, and the sealant 52 is formed in parallel to the outside. The data-line drive circuit 101 and the external circuit end-connection child 102 are formed in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 is established in it along with two sides which adjoin this one side. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. In addition, when signal delay of the scanning line does not become a problem, you may form the scanning-line drive circuit 104 only in one side. Moreover, it cannot be overemphasized that the data-line drive circuit 101 may be established in the both sides of an image display field. Moreover, the vertical flow material 106 for taking [in / a piece place / at least] a flow electrically between the TFT array substrate 10 and the opposite substrate 20 of the corner section of the opposite substrate 20 is formed. And as shown in drawing 13, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 12 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0083] Electrical connection of the data-line drive circuit 101 and the scanning-line drive circuit 104 is carried out to data-line 6a and scanning-line 3a through relay wiring, respectively. The shift register circuit for transmitting a start signal to the data-line drive circuit 101 one by one based on a clock signal is contained, and the picture signal which controlled the sampling circuit by the driving signal outputted one by one from the data-line drive circuit 101 concerned, and was changed into the form in which a real time display is possible from the display information processing circuit which is not illustrated is supplied to data-line 6a through a sampling circuit. Moreover, the shift register circuit for transmitting a start signal to the scanning-line drive circuit 104 one by one based on a clock signal is contained, and a scanning signal is sent to scanning-line 3a one by one in pulse. According to this scanning signal, the data-line drive circuit 101 sends the signal level according to the picture signal to data-line 6a. And liquid crystal is controlled by TFT30 prepared in each pixel section corresponding to the intersection of data-line 6a and scanning-line 3a. In addition, a sampling circuit may be formed in the data-line drive circuit 101, and you may make it form it in the field of the 3rd shading film 53. Thus, by forming a sampling circuit in the field of the 3rd shading film 53 which was a dead space, a deployment of a space can be aimed at and a miniaturization and advanced features of the data-line drive circuit 101 can be realized conventionally.

[0084] The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds in drawing 13. It is the adhesives which consist of a photoresist or thermosetting resin in order that a sealant 52 may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material (spacer), such as glass fiber for making distance between both substrates (gap between substrates) into a predetermined value or a glass bead, is mixed. Moreover, the counterelectrode 21 which consists of an ITO film which are

the 2nd shading film 22 and a transparent electric conduction film is formed in the side which faces the liquid crystal layer 50 of the opposite substrate 20. In addition, although not shown in drawing 13, according to the exception of modes of operation, such as for example, TN mode, STN (super TN) mode, and D-STN (double-STN) mode, and the normally white mode / normally black mode, a polarization film, a phase contrast film, a polarizing plate, etc. are arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light from the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation, respectively.

[0085] Furthermore, in a liquid crystal panel 100, although the liquid crystal layer 50 was constituted from a pneumatic liquid crystal as an example, if the polymer dispersed liquid crystal which distributed liquid crystal as a minute grain in the macromolecule is used, the orientation film 23 and the above-mentioned polarization film, a polarizing plate, etc. will become unnecessary, and the advantage of a raise in the brightness of a liquid crystal panel or low-power-izing by efficiency for light utilization increasing will be acquired. In addition, it is possible to apply the form of this operation to various kinds of liquid crystal material (liquid crystal phase), a mode of operation, a liquid crystal array, the drive method, etc. Thus, since it becomes unnecessary for the liquid crystal panel of this operation form to be really able to form the circumference circuit for driving an image display field on the TFT array substrate 10, and to carry out external [of the circumference circuit] by tape mounting or COG mounting, a micro liquid crystal panel is realizable. Moreover, IC for driving a liquid crystal panel can be cut down sharply, and a big advantage is acquired also in respect of cost.

[0086] (Liquid crystal panel using the micro lens) A micro lens 200 is formed by the manufacture method currently indicated by JP,6-194502,A. Although drawing 14 is the example After carrying out optical patterning so that the heights corresponding to the portion used as each lens may remain, after forming the film of a photosensitive material on the opposite substrate 20, with heat deformation of a photosensitive material and surface tension The array pattern which consists of a photosensitive material with the convex of each smooth lens is formed on the opposite substrate 20. Then, the micro lens 200 by which the front face was engraved with the convex of each smooth lens is formed by performing dry etching by using the array pattern of the photosensitive material concerned as a mask, and carving and copying the array pattern of a photosensitive material to the opposite substrate 20. Or you may form a micro lens 200 by the so-called traditional "heat displacement method."

[0087] Cover glass 202 is stuck on the whole front face of a micro lens 200 by adhesives 201, and the 2nd shading film 22, a counterelectrode 21, and the orientation film 23 are further formed in order on this. In this case, the 2nd shading film 22 is formed in the shape of a matrix along the boundary of each micro lens 200 so that the center of each opening may lap with lens center 200a of each micro lens 200.

[0088] In drawing 14, it goes across a counterelectrode 21 all over the opposite substrate 20, and it is formed. Such a counterelectrode 21 is formed by giving a photolithography process and an etching process etc., after depositing an ITO film etc. on the thickness of about 50-200nm by sputtering etc. The orientation film 23 consists of organic thin films, such as for example, a polyimide thin film. Such an orientation film 23 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc., after applying the application liquid of for example, a polyimide system. The 2nd shading film 22 is formed in the predetermined field which counters TFT30. Such a 2nd shading film 22 is formed of the spatter process, the photolithography process, and the etching process of having used metallic materials, such as Cr and nickel, or is formed from material, such as a black resin which distributed carbon and Ti to the photoresist. The 2nd shading film 22 has functions other than shading to semiconductor layer 1a of TFT30, such as improvement in contrast, and color mixture prevention of color material. Or you may make it prepare micro-lens 200' which stuck on the front face of the opposite substrate 20 the transparent board (micro-lens array) with which the convex of each lens was formed beforehand, and constituted it in the opposite substrate 20, as shown in drawing 15. Furthermore, you may stick such a micro lens on the field of the side which meets the liquid crystal layer 50 of the opposite substrate 20.

[0089] Especially with this operation form, as shown in drawing 2 , drawing 8 , and drawing 10 , the opening field of pixel electrode 9a has a configuration symmetrical with a line to center line 9c of an opening field which passes along central point 9b mostly. Moreover, the contact hole 8 is punctured by the line symmetric position to center line 9b of an opening field. Furthermore, a micro lens 200 (or 200') has lens center 200a (or 200a') in the position which counters central point 9b mostly, respectively.

[0090] the micro lens 200 (or 200') which has lens center 200a (or 200a') in the position of an opening field which counters central point 9b (center of gravity) mostly when light carries out incidence from the opposite substrate 20 side according to this operation form — this incident light — an opening field — it is mostly condensed on pixel electrode 9a focusing on central point 9b. Therefore, an optical irradiation field [being circular (or an approximate circle form or an ellipse form)] is formed in an opening field of the light condensed by the micro lens 200 (or 200'). Here, the contact hole 8 is punctured by the line symmetric position to center line 9c of an opening field. For this reason, the large opening field symmetrical with a line located near the center in each pixel can be taken. And since an opening field is an axial symmetry to the center line 9c which passes along central point 9b mostly, optical irradiation fields, such as a round shape, are formed in an opening field symmetrical with this line at a line symmetric position (centers, such as a round shape, become central point 9b and a heavy bird clapper mostly). Therefore, the rate for which the optical irradiation field to the opening field concerned accounts becomes high, and the use efficiency of light is improved. In addition, if an optical irradiation field can condense to the grade exactly settled in an opening field as condensing capacity of a micro lens, it is enough and it is not necessary to make an optical irradiation field small more than required.

[0091] In addition, although it constituted from this operation gestalt so that pixel electrode 9a might be driven using TFT, it is also possible to use other than TFT (for example, active-matrix elements, such as TFD (Thin Film Diode:thin film diode)), and it is also still more possible to constitute a liquid crystal panel as a passive matrix type liquid crystal panel. Even if it is such a case, as long as the composition which condenses light on a pixel electrode by the micro lens is taken, when the composition of a puncturing field made to counter the central point mostly raises the use efficiency of light by making into an axial symmetry or the symmetry of revolution the opening field explained with this operation gestalt as for a lens center, it is effective like the case of this operation gestalt.

[0092] (Electronic equipment) Next, the form of operation of electronic equipment equipped with the liquid crystal panel in this operation form explained to the detail above is explained with reference to drawing 21 from drawing 18 .

[0093] The outline composition of the electronic equipment which equipped drawing 18 with the liquid crystal panel of this operation form is shown first.

[0094] In drawing 18 , electronic equipment is equipped with the source 1000 of a display information output, the display information processing circuit 1002, the drive circuit 1004, a liquid crystal panel 100, the clock generation circuit 1008, and a power circuit 1010, and is constituted. The source 1000 of a display information output outputs display information, such as a picture signal of a predetermined format, to the display information processing circuit 1002 based on the clock signal from the clock generation circuit 1008 including the tuning circuit which aligns and outputs memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk unit, and a picture signal. The display information processing circuit 1002 is constituted including various well-known processing circuits, such as amplification / inversion circuit, a serial parallel conversion circuit, a rotation circuit, a gamma correction circuit, and a clamping circuit, generates a digital signal one by one from the display information inputted based on the clock signal, and outputs it to the drive circuit 1004 with a clock signal CLK. The drive circuit 1004 drives a liquid crystal panel 100. A power circuit 1010 supplies a predetermined power supply to each above-mentioned circuit. In addition, on the TFT array substrate which constitutes a liquid crystal panel 100, the drive circuit 1004 may be carried and, in addition to this, the display information processing circuit 1002 may be carried.

[0095] Next, the example of the electronic equipment constituted in this way from drawing 19 by

drawing 21 is shown, respectively.

[0096] In drawing 19, an example slack liquid crystal projector 1100 of electronic equipment prepares three liquid crystal modules with which the drive circuit 1004 mentioned above contains the liquid crystal panel 100 carried on the TFT array substrate, and is constituted as a projector used as light valves 100R, 100G, and 100B for RGB, respectively. In a liquid crystal projector 1100, if an incident light is emitted from the lamp unit 1102 of the white light sources, such as a metal halide lamp, it will be divided into the optical components R, G, and B corresponding to the three primary colors of RGB by the mirror 1106 of three sheets, and the dichroic mirror 1108 of two sheets, and will be led to the light valves 100R, 100G, and 100B corresponding to each color, respectively. Under the present circumstances, especially B light is drawn through the relay lens system 1121 which consists of the incidence lens 1122, a relay lens 1123, and an outgoing radiation lens 1124, in order to prevent the optical loss by the long optical path. And after the optical component corresponding to the three primary colors modulated by light valves 100R, 100G, and 100B, respectively is again compounded with a dichroic prism 1112, it is projected by the screen 1120 as a color picture through a projector lens 1114.

[0097] If the shading film is especially prepared in the TFT bottom as mentioned above with this operation gestalt The reflected light by the incident-light study system in the liquid crystal projector based on the incident light from the liquid crystal panel 100 concerned, A part of incident light (a part of R light and G light) which runs through a dichroic prism 1112 after carrying out outgoing radiation from the reflected light from the front face of the TFT array substrate at the time of an incident light passing and other liquid crystal panels 100 Even if it carries out incidence from a TFT array substrate side as a return light, shading to channel fields, such as TFT for switching of a pixel electrode, can fully be performed. For this reason, in composition, since it becomes unnecessary to stick AR (Anti Reflection) film for return light prevention, or to perform AR coat processing between the TFT array substrate of each liquid crystal panel and prism at a polarizing plate even if it uses the prism suitable for the miniaturization for an incident-light study system, small and when being simplified, it is very advantageous.

[0098] Moreover, generating of color nonuniformity and the fall of a contrast ratio can be suppressed by doubling the direction of clear vision of each liquid crystal panel which constitutes the light valves 100R, 100G, and 100B of three sheets. Then, when using TN liquid crystal as liquid crystal, the direction of clear vision of other light valves 100R and 100B and liquid crystal needs to make only light-valve 100 G right-and-left reversal to an image display field. Here, since the opening configuration of a pixel will become almost the same by right and left even if TN liquid crystal is right-handed rotation, and it is left-handed rotation, if the light valve equipped with the liquid crystal panel of this operation form is used, though the disclination of liquid crystal occurs, it is recognized similarly. Since the fall of color nonuniformity or a contrast ratio is not caused by the display image when this compounds with prism etc. light-valve 100G the hand of cut of liquid crystal is different from, and 100R and 100B, a high-definition liquid crystal projector is realizable.

[0099] In drawing 20, other personal computers 1200 of the laptop type dealing with example slack multimedia of electronic equipment (PC) are equipped with the main part 1204 with which the keyboard 1202 was incorporated while it has the liquid crystal panel 100 mentioned above in the top covering case and they hold CPU, memory, a modem, etc. further.

[0100] moreover, as shown in drawing 21, in the case of the liquid crystal panel 100 which carries neither the drive circuit 1004 nor the display information processing circuit 1002 To TCP (Tape Carrier Package)1320 mounted on the polyimide tape 1322, IC1324 including the drive circuit 1004 or the display information processing circuit 1002 It is also possible to connect physically and electrically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10, and to carry out production, sale, use, etc. as liquid crystal equipment.

[0101] ***** equipped with the video tape recorder of a liquid crystal television, a viewfinder type, or a monitor direct viewing type, the car navigation equipment, the electronic notebook, the calculator, the word processor, the engineering workstation (EWS), the cellular phone, the TV

phone, POS terminal, and touch panel other than electronic equipment which were explained with reference to drawing 21 from drawing 19 above etc. is mentioned as an example of the electronic equipment shown in drawing 18 .

[0102] Various kinds of electronic equipment equipped with the liquid crystal panel which does not cause decline in the process yield or a pixel numerical aperture even if a pixel turns minutely by using comparatively easy composition according to this operation form, as explained above, and the liquid crystal panel concerned is realizable. Moreover, with the form of this operation, although explained using the liquid crystal panel, it is applicable not only to this but electro-optics panels, such as electroluminescence or a plasma display.

[0103]

[Effect of the Invention] In order to connect the drain field and pixel electrode of TFT which are a switching element according to the liquid crystal panel of this invention, even if it can prevent the short circuit of the data line and a pixel electrode and a pixel pitch turns minutely by [between the data line for supplying a picture signal to the pixel electrode which corresponds the formation position of the contact hole punctured on a layer insulation film, and the data line concerned and the adjacent data line] puncturing to a center position mostly, the fall of the process yield is not caused.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the representative circuit schematic of the pixel section which constitutes the image display field of a liquid crystal panel.

[Drawing 2] It is the plan which looked at two or more pixel groups adjoined on the TFT array substrate in the 1st operation gestalt of the liquid crystal panel by this invention from the opposite substrate side.

[Drawing 3] It is the A-A' cross section of drawing 2 shown including an opposite substrate.

[Drawing 4] It is process drawing (the 1) showing order later on about the portion which showed the manufacture process of the operation gestalt of a liquid crystal panel to drawing 3 .

[Drawing 5] It is process drawing (the 2) showing order later on about the portion which showed the manufacture process of the gestalt of operation of a liquid crystal panel to drawing 3 .

[Drawing 6] It is process drawing (the 3) showing order later on about the portion which showed the manufacture process of the gestalt of operation of a liquid crystal panel to drawing 3 .

[Drawing 7] It is process drawing showing order later on still in detail about the process which showed the manufacture process of the gestalt of operation of a liquid crystal panel to (20) from (17) of drawing 6 along with the B-B' cross section of drawing 2 .

[Drawing 8] It is the plan which looked at two or more pixel groups adjoined on the TFT array substrate in the 2nd operation form of the liquid crystal panel by this invention from the opposite substrate side.

[Drawing 9] It is the C-C' cross section of drawing 8 shown including an opposite substrate.

[Drawing 10] It is the plan which looked at two or more pixel groups adjoined on the TFT array substrate in the 3rd operation form of the liquid crystal panel by this invention from the opposite substrate side.

[Drawing 11] It is a graphical representation showing the pixel defective percent defective of the liquid crystal panel in the pixel pitch of the liquid crystal panel in the operation form of the liquid crystal panel by this invention, and the conventional liquid crystal panel.

[Drawing 12] It is the plan showing the whole liquid crystal panel composition by this invention.

[Drawing 13] It is the H-H' cross section of drawing 12 .

[Drawing 14] It is the expanded sectional view of the opposite substrate in the pixel section in which an example of a micro lens was formed.

[Drawing 15] It is the expanded sectional view of the opposite substrate in the pixel section in which other examples of a micro lens were formed.

[Drawing 16] It is the plan which looked at two or more pixel groups adjoined on the TFT array substrate in the conventional liquid crystal panel from the opposite substrate side.

[Drawing 17] It is process drawing showing order later on still in detail about the process which showed the manufacture process of the conventional liquid crystal panel to (20) from (17) of drawing 6 along with the D-D' cross section of drawing 16 .

[Drawing 18] It is the block diagram showing the outline composition of the form of operation of the electronic equipment by this invention.

[Drawing 19] It is the cross section showing the liquid crystal projector as an example of electronic equipment.

[Drawing 20] It is the front view showing the personal computer as other examples of electronic equipment.

[Drawing 21] It is the perspective diagram showing the liquid crystal equipment using TCP as an example of electronic equipment.

[Description of Notations]

- 1a — Semiconductor layer
- 2 — Insulating Thin Film
- 3a — Scanning line
- 3a' — Gate electrode
- 3b — Capacity line
- 4 — Insulator Layer between 2nd Layer
- 5 — Contact Hole
- 6a — Data line
- 7 — Insulator Layer between 3rd Layer
- 8 — Contact Hole
- 9a — Pixel electrode
- 10 — TFT Array Substrate
- 11a — The 1st shading film
- 12 — Insulator Layer between 1st Layer
- 13a — Piling film
- 20 — Opposite substrate
- 21 — Counterelectrode
- 22 — The 2nd shading film
- 23 — Orientation film
- 30 — TFT
- 50 — Liquid crystal layer
- 52 — Sealant
- 53 — The 3rd shading film
- 70 — Storage capacitance
- 101 — Data-line drive circuit
- 104 — Scanning-line drive circuit
- 200,200' — Micro lens
- 200a, 200a' — Lens center
- 201 — Adhesives

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-311802

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.⁸
G 0 2 F 1/136

識別記号
5 0 0

F I
G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号 特願平11-30037

(22) 出願日 平成11年(1999) 2 月 8 日

(31) 優先権主張番号 特願平10-27663

(32) 優先日 平10(1998) 2 月 9 日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-46036

(32) 優先日 平10(1998) 2 月 26 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 村出 正夫

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(72) 発明者 石井 賢哉

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

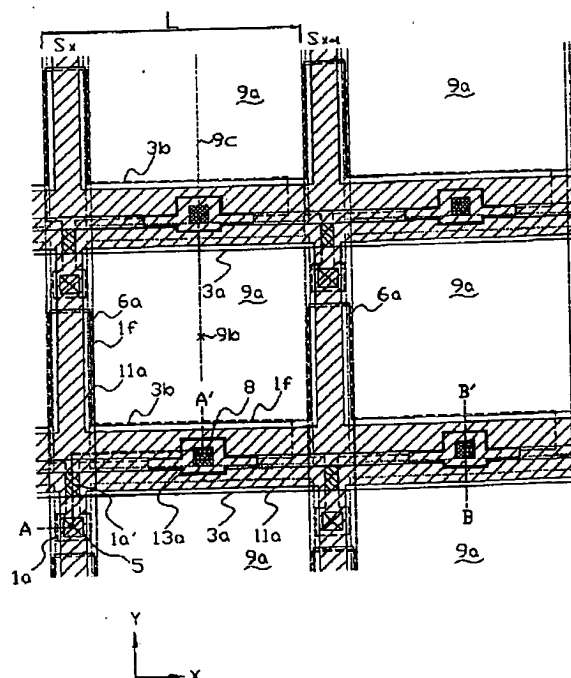
(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

(54) 【発明の名称】 電気光学パネル及び電子機器

(57) 【要約】

【課題】 T F T 駆動等によるアクティブマトリクス駆動方式の液晶パネルにおいて、画素が微細化しても工程歩留まりや画素開口率の低下を招かない電気光学パネル及び当該電気光学パネルを備えた電子機器を提供する。

【解決手段】 T F T アレイ基板 (1 0) 上には、複数のデータ線 (6 a) にコンタクトホール (5) を介して夫々接続されており、データ線 (6 a) 及び走査線 (3 a) により T F T (3 0) を用いて駆動される複数の画素電極 (9 a) が設けられている。T F T (3 0) と画素電極 (9 a) を接続するためのコンタクトホール (8) は、自段のデータ線 (6 a) と隣り合うデータ線 (6 a') の間のほぼ中央の位置に開孔されていることを特徴とする。



【特許請求の範囲】

【請求項 1】 基板上に、複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング素子と、前記複数のスイッチング素子に接続されてマトリクス状に配置された複数の画素電極とが設けられており、前記画素電極はコンタクトホールを介して前記スイッチング素子に接続されてなり、前記コンタクトホールは、前記画素電極に画像信号を供給するためのデータ線と、当該データ線と隣り合うデータ線との間のほぼ中心位置に開孔されてなることを特徴とする電気光学パネル。

【請求項 2】 前記基板上に、前記画素電極に所定蓄積容量を夫々付与する容量線が前記走査線とほぼ平行に設けられており、前記コンタクトホールは、相隣接する容量線及び走査線の間に開孔されていることを特徴とする請求項 1 に記載の電気光学パネル。

【請求項 3】 前記スイッチング素子の下で、前記コンタクトホールの直下に、少なくとも嵩上げ膜を設けることを特徴とする請求項 1 乃至請求項 2 のいずれか一項に記載の電気光学パネル。

【請求項 4】 前記スイッチング素子は薄膜トランジスタからなり、該薄膜トランジスタのソース領域がデータ線に電気的に接続されており、該薄膜トランジスタのドレイン領域が画素電極に接続されており、前記嵩上げ膜は該ドレイン領域と電気的に接続しており、導電膜であることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の電気光学パネル。

【請求項 5】 前記嵩上げ膜は、前記走査線及び容量線と重ならない位置に設けられることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の電気光学パネル。

【請求項 6】 前記嵩上げ膜の膜厚は、前記走査線及び容量線の膜厚とほぼ同一であることを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載の電気光学パネル。

【請求項 7】 各画素の開口領域は、前記コンタクトホールに対して線対称な平面形状を持つことを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の電気光学パネル。

【請求項 8】 前記画素の開口領域の中心点にレンズ中心を有するように、夫々の画素電極に対向する位置にマイクロレンズを設けることを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の電気光学パネル。

【請求項 9】 請求項 1 乃至請求項 8 のいずれか一項に記載の電気光学パネルを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ

(以下、TFT:Thin Film Transistorと称す)駆動等によるアクティブマトリクス駆動方式の電気光学パネル及びこれを用いた電子機器の技術分野に属し、特に、画素が微細化しても工程歩留まりや画素開口率の低下を招かない電気光学パネル及びこれを用いた電子機器の技術分野に属する。

【0002】

【従来の技術】従来、マトリクス状に複数設けられた画素電極をスイッチング素子であるTFTにより制御するアクティブマトリクス駆動方式の液晶パネル等の電気光学パネルにおいては、図16に示すように、縦横に夫々配列された多数の走査線3a及びデータ線6a並びにこれらの各交点に対応して多数のTFT30'及び当該TFTにコンタクトホール8を介して電気的に接続された画素電極9aがTFTアレイ基板上に設けられている。各TFT30'の構成は、半導体層1aのチャネル領域1a'(図16 左上り斜線部)を走査線3aから突出したゲート電極3a'により制御し、画像信号を供給するデータ線6aがコンタクトホール5を介して電気的に半導体層1aのソース領域に接続され、画素電極9aが半導体層1aのドレイン領域に接続されている。特に画素電極9aは、TFT30'やデータ線6a及び走査線3a等の配線を構成する各種の膜や当該画素電極9aを相互に絶縁するための層間絶縁膜上に設けられているため、層間絶縁膜等に開孔されたコンタクトホール8を介してTFT30'のドレイン領域に接続されている。

【0003】

【発明が解決しようとする課題】しかしながら、液晶パネルの技術分野において、高解像度な画質を得るために、画素の高精細化への要請が強まる一方であり、画素ピッチの微細化は益々加速されている。このように、画素密度を上げて高精細な画像を表示可能とするため及び液晶パネルの大きさを小型化するために図16に示すように画素ピッチLを狭くして微細化すると、非開口領域をなす各種配線間の距離が狭まることになる。また、液晶パネルの重要な要素として明るさがあり、これは画像表示領域に対する画素の開口領域の比率である画素開口率を高めることで実現できるが、画素が微細化すると、データ線6aや走査線3aといった配線やスイッチング素子であるTFT30'の領域は非開口領域となるので、画素開口率を高めるにはある一定の限界がある。そこで、画素が微細化しても、画素開口率を高めるために、画素電極9aとTFT30'を接続するためのコンタクトホール8とデータ線6aや走査線3aとの間隔も狭まってしまふ。従って、画素電極9aと各種配線が短絡し、致命的な画素欠陥を生じる可能性があった。

【0004】また、データ線6aや走査線3a等の配線幅を細めるだけでなく、スイッチング素子としてのTFT30'を微細化することも重要であり、半導体層1aのソース領域とデータ線6aとのコンタクトホール5、

及びドレイン領域と画素電極9aとのコンタクトホール8のサイズについて各々微細化を図る必要がある。図17は、図16のD-D'線に沿った断面図、すなわちTF T30'の断面図を示しており、コンタクトホール8を開孔する工程を示している。図17(a)において、ドレイン領域1e上にゲート絶縁膜2や層間絶縁膜4及び7を形成した後、図17(b)に示すように、レジスト302をフォトマスク303の方から露光する事により、ポジ型のレジストの場合は、光が照射された部分のレジスト302が感光し、レジスト302が除去される。ところがここで問題となるのが、ゲート電極3a'による層間絶縁膜4及び7の段差である。TF T30'のサイズの微細化を図るために、ゲート電極3a'の直近にコンタクトホール8を開孔する際に、この段差部により、マスク露光で光の乱反射が生じ、図中の矢印の方向にレジスト302が後退してしまうという不具合が生じた。これにより、フォトマスク303上の遮光性のクロム膜304のない部分、すなわちコンタクトホール開孔用のパターン径よりもレジスト302が除去されたパターン径の方が大きくなり、これを図17(c)に示すようにエッチングすると、開孔径がフォトマスク303上に形成したコンタクトホール開孔用のパターン径よりも大きくなり、コンタクトホール8の微細化が困難であるという問題があった。

【0005】更に、液晶パネルの技術分野における表示画像の高品位化や省エネルギー化の要請の下では、マイクロレンズ等を使用した光利用効率の向上が必要であるが、図16に示す従来の画素のように光が透過する領域は、対向基板上に形成した第2遮光膜22により規定され、破線で囲った内側が光が透過する領域である。上述した従来例のように、光が透過する領域が画素開口部の中心に対して線対称ではない場合、マイクロレンズの効果を最大限に活かすことができず、入射光の利用効率を十分得ることができない。

【0006】本発明は上述の問題点を鑑みなされたものであり、比較的簡単な構成を用いることにより、画素が微細化しても工程歩留まりや画素開口率の低下を招かない電気光学パネル及び当該電気光学パネルを備えた電子機器を提供することを課題とする。

【0007】

【課題を解決するための手段】請求項1に記載の電気光学パネルは上記課題を解決するために、基板上に、複数のデータ線と、該複数のデータ線に交差する複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング素子と、前記複数のスイッチング素子に接続されてマトリクス状に配置された複数の画素電極とが設けられており、前記画素電極はコンタクトホールを介して前記スイッチング素子に接続されてなり、前記コンタクトホールは、前記画素電極に画像信号を供給するためのデータ線と、当該データ線と隣り合うデータ線との間

のほぼ中心位置に開孔されてなることを特徴とする。

【0008】請求項1に記載の電気光学パネルによれば、スイッチング素子であるTF Tのドレイン領域と画素電極を接続するために層間絶縁膜に開孔するコンタクトホール形成位置を、対応する画素電極に画像信号を供給するためのデータ線と、当該データ線と隣り合うデータ線との間のほぼ中心位置に開孔することにより、データ線と画素電極との短絡を防ぐことができ、画素が微細化しても、工程歩留まりや画素開口率の低下を招くことがない。

【0009】請求項2記載の電気光学パネルは、請求項1記載の電気光学パネルにおいて、前記基板上に、前記画素電極に所定蓄積容量を夫々付与する容量線が前記走査線とほぼ平行に設けられており、前記コンタクトホールは、相隣接する容量線及び走査線の間に開孔されていることを特徴とする。

【0010】請求項2記載の電気光学パネルによれば、スイッチング素子であるTF Tと画素電極を接続するためのコンタクトホールは、その段差形状により液晶のディスクリネーションを引き起こすが、走査線と容量線の間にコンタクトホールを設けることにより、画素電極間の横方向電界による液晶のディスクリネーションが発生する領域に合わせ込むことが可能となる。これにより、従来は液晶のディスクリネーションが発生することにより遮光せざるを得なかった非開口領域を最小限に抑えることができる。また、画素の書き込み電荷を保持するために画素電極に付加する蓄積容量を形成するための容量線をディスクリネーション発生領域に設けることにより、画素開口率を低下させずに、表示品位の高い電気光学パネルが実現できる。更に、コンタクトホールは、開口領域を挟むことなく相隣接する容量線及び走査線の間にあるスペースを利用して、開孔されているので、容量線及び走査線によりデータ線に沿った方向の幅が規定された線対称な開口領域を、マトリクス状に配置された各画素内において広くとることができる。従って、従来のように各画素のコーナーにコンタクトホールが形成される場合と比較して、光の利用効率が改善される。

【0011】請求項3記載の電気光学パネルは請求項または請求項2のいずれか一項に記載の電気光学パネルにおいて、前記スイッチング素子の下で、前記コンタクトホールの直下に、少なくとも高上げ膜を設けることを特徴とする。

【0012】請求項3記載の電気光学パネルによれば、スイッチング素子であるTF Tと画素電極を接続するためのコンタクトホールを開孔する所定の位置において、TF Tの半導体層下に高上げ膜を敷設することにより、コンタクトホールをエッチング工程において開孔する際にTF Tの半導体層を突き抜けても画素欠陥とならないように防止することができる。これにより、半導体層を薄膜化することが可能となり、高速な書き込み特性が得

られることから、コントラスト比の高い電気光学パネルが実現できる。

【0013】請求項4に記載の電気光学パネルは請求項1乃至請求項3のいずれか一項に記載の電気光学パネルにおいて、前記スイッチング素子は薄膜トランジスタからなり、該薄膜トランジスタのソース領域がデータ線に電氣的に接続されており、該薄膜トランジスタのドレイン領域が画素電極に接続されており、前記嵩上げ膜は該ドレイン領域と電氣的に接続しており、導電膜であることを特徴とする。

【0014】請求項4に記載の電気光学パネルによれば、嵩上げ膜は、スイッチング素子であるTFTの半導体層のドレイン領域に電氣的に接続するようにする。また、嵩上げ膜の材質として、ポリシリコン膜やW（タングステン）、Ti（チタン）、Cr（クロム）、Mo（モリブデン）、Ta（タンタル）といった高融点金属膜或いはその合金膜といった導電膜で形成することにより、コンタクトホールをエッチング工程において開孔する際に、万が一、半導体層を突き抜けたとしても、電氣的に導通が取れているため、画素欠陥を生じることはない。

【0015】請求項5に記載の電気光学パネルは請求項1乃至請求項4のいずれか一項に記載の電気光学パネルにおいて、前記嵩上げ膜は、前記走査線及び容量線と重ならない位置に設けられることを特徴とする。

【0016】請求項5に記載の電気光学パネルによれば、TFTの半導体層のドレイン領域下に設けられる嵩上げ膜と、当該半導体層の上方にゲート絶縁膜を介して設けられる走査線及び容量線と重ならないように敷設する。これは、半導体層のドレイン領域上の層間絶縁膜の表面をほぼ平らにすることができることを意味している。これにより、前記層間絶縁膜の所定の領域にコンタクトホールを開孔するのに、層間絶縁膜を取り除かない領域にはレジストマスクを形成するが、このレジストマスクをフォトリソグラフィ工程で露光する際に、層間絶縁膜の表面が平坦化されていれば、膜表面での光の反射を抑制することができ、レジストが後退することがないため、ほぼマスク寸法とおりのコンタクトホールが形成できる。従って、コンタクトホールの開孔形状寸法が広がることがないので、画素欠陥による歩留まりの低下を招くことがない。また、コンタクトホールの寸法を微細化できるので、画素の微細化が可能となり、電気光学パネルの高精細化や小型化が実現できる。

【0017】請求項6に記載の電気光学パネルは請求項1乃至請求項5のいずれか一項に記載の電気光学パネルにおいて、前記嵩上げ膜の膜厚は、前記走査線及び容量線の膜厚とほぼ同一であることを特徴とする。

【0018】請求項6に記載の電気光学パネルによれば、嵩上げ膜の膜厚を走査線や容量線の膜厚とほぼ同一に形成することで、TFTのドレイン領域上の層間絶縁

膜の表面を更に平坦にすることが可能となる。これにより、レジストマスクの後退を更に防止することができ、コンタクトホールの寸法を更に微細化することができ、更なる画素の微細化が可能となり、電気光学パネルの高精細化や小型化に有利である。

【0019】請求項7に記載の電気光学パネルは請求項1乃至請求項6のいずれか一項に記載の電気光学パネルにおいて、各画素の開孔領域は、前記コンタクトホールに対して線対称な平面形状を持つことを特徴とする。

10 【0020】請求項7に記載の電気光学パネルによれば、TFTのドレイン領域と画素電極を電氣的に接続するコンタクトホールは、各画素の開孔領域の中心線に対して線対称な位置に開孔されているので、マトリクス状に配置されて四角い平面形状を持つ各画素内の中央付近に位置する線対称な開孔領域を広くとることができる。そしてコンタクトホールの周囲における画素電極の段差が開孔領域に対して線対称となる。従って、右回りの液晶を用いた場合でも左回りの液晶を用いた場合でも、リバースティルト等の液晶の配向不良の起き易さは、殆ど同じとなる。即ち、どちらか一方回りの液晶を用いると、配向不良が顕著に発生してしまうような事態を未然に防ぐことが可能となり、どちら回りの液晶でも等しく採用でき実用上便利である。また、図16に示す従来例のように各画素の角にコンタクトホールが形成され線対称でない開孔領域内に対称形でない光照射領域が形成される場合と比較して、光の利用効率が改善される。

20 【0021】請求項8に記載の電気光学パネルは請求項1乃至請求項7のいずれか一項に記載の電気光学パネルにおいて、前記開孔領域の中心線にレンズ中心を有するように、夫々の画素電極に対向する位置にマイクロレンズを設けることを特徴とする。

30 【0022】請求項8に記載の電気光学パネルによれば、マイクロレンズによる円形等の光照射領域の中心点を、画素の開孔領域の中心線に合わせるようにすることで、当該開孔領域に対する光照射領域が占める割合を高め、光利用効率が改善することができる。これにより、画素が微細化しても明るい電気光学パネルを実現することができる。

40 【0023】請求項9に記載の電子機器は、請求項1乃至請求項8のいずれか一項に記載の電気光学パネルを備えたことを特徴とする。

【0024】請求項9に記載の電子機器によれば、電子機器は、上述した本願発明の電気光学パネルを備えており、画素が微細化しても歩留まりの低下を招くことがなく、また、開孔領域に対する光照射領域が広く、光の利用効率が改善された電気光学パネルにより、明るく高品位の画像表示が可能となる。

【0025】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

50 【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。尚、本実施の形態では、電気光学パネルの一例として液晶パネルを用いて説明する。

【0027】（液晶パネルの第1実施形態）液晶パネルの第1実施形態の構成について図1から図3に基づいて説明する。図1は、液晶パネルの画像表示領域を構成するマトリクス状に形成された複数の画素を示した等価回路図である。図2は、液晶パネルを構成するTFTアレイ基板上の隣接する複数の画素群を示した平面図であり、図3は図2におけるA-A'間の断面図であり、画素のスイッチング素子としてのTFTの構造を示している。図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0028】まず、本実施の形態による液晶パネルの画像表示領域を構成するマトリクス状に形成された複数の画素は、図1に示すように、画素電極9aと画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号を供給するデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号はS1, S2, ..., Snの順に線順次に供給しても構わないし、隣接する複数のデータ線6a同士に対してグループ毎に供給するようにしても良い。また、前記TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで走査線31に走査信号をパルス的にG1, G2, ..., Gmの順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線から供給される画像信号を所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号は対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集団の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通すことが不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通すことが可能とされ、全体として液晶パネルからは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。これにより、保持特性は更に改善され、コントラスト比の高い液晶パネルが実現できる。尚、蓄積容量70を形成する方法としては、容量を形成するための配線である容量線3bを設けても良いし、前段の走査線3aとの間で容量を形成しても良いことは言うまでもない。

【0029】次に、液晶パネルの第1実施形態の構成に

ついて説明する。

【0030】第1実施形態によれば、液晶パネルの画像表示領域を構成する画素の平面レイアウトは図2に示すような構成を採る。すなわち、マトリクス状に設けられた複数の画素電極9aと、X方向に複数配列されており各々がY方向に沿って延びるデータ線6aと、Y方向に複数配列されており各々がX方向に沿って延びる走査線3aが設けられている。ここで、S_x番目のデータ線6aと走査線3aの交差部にTFT30を構成する半導体層1aのチャネル領域1a'（図2 左上がり斜線部）を形成し、当該TFT30のソース領域はデータ線6a下においてコンタクトホール5により電気的に接続するようにする。また、半導体層1aのドレイン領域は、隣り合うS_{x+1}番目のデータ線6aの直近まで延設され、画素に容量を付加するための第1蓄積容量電極1fを形成する。第1蓄積容量電極1fは容量線3bとの間で、ゲート絶縁膜を誘電体として蓄積容量を形成する。容量線3bは走査線3aに沿ってX方向に画像表示領域の外側まで延設される。更に、自段のデータ線6a下にも同様に半導体層1aのドレイン領域から延設して第1蓄積容量電極1fを形成するようにすれば、配線形成部という液晶パネルの非光透過領域において、効率良く蓄積容量を付加できるので、画素に書き込まれた電荷を保持するための能力が向上し、コントラスト比の高い液晶パネルが実現できる。尚、図2において、データ線6aのS_x番目とS_{x+1}番目の関係が逆になったとしても何ら問題はない。

【0031】ここで、走査線3aと容量線3bの配線間に半導体層1aのドレイン領域と画素電極9aを接続するためのコンタクトホール8を設ける。これは、コンタクトホール8の段差形状により液晶のディスクリネーションが発生する領域を、隣り合う画素電極9a間で生じる横方向電界によるディスクリネーションと同じ領域に合わせ込むことにより、従来遮光せざるを得なかった領域に効果的にコンタクトホール8を設けることができる。また、コンタクトホール8の直下には、図2の太線で囲まれた部分にエッチングストッパーとしてのポリシリコン膜やW（タングステン）、Ti（チタン）、Cr（クロム）、Mo（モリブデン）、Ta（タンタル）といった高融点金属膜或いはその合金膜といった導電性の嵩上げ膜13aを設けても良い。これは、半導体層1aのドレイン領域と画素電極9aを電気的に接続するために設けられるコンタクトホール8をエッチング工程で開孔する際に、半導体層1aを突き抜けても致命的な画素欠陥とならないようにするためであり、これにより、半導体層1aの薄膜化が実現でき、トランジスタ特性の改善及び光に対する光電効果の影響の少ない半導体層を形成できる利点がある。この場合、嵩上げ膜13aの少なくとも一部は、コンタクトホール8の形成領域を囲むように形成されてなり、また走査線3a及び容量線3bは

嵩上げ膜 13a に重ならないようにする。コンタクトホール 8 と走査線 3a 及び容量線 3b とのマージンが少ない場合は図 2 に示すように、走査線 3a 及び容量線 3b の少なくとも一方を嵩上げ膜 13a に重ならないように、当該導電膜が設けられた領域に沿って走査線 3a 及び容量線 3b を 2 次元的（平面的）に窪ませるようにしても良い。更に、コンタクトホール 8 を隣り合う S_X 番目のデータ線 6a と S_{X+1} 番目のデータ線 6a 間のほぼ中心に設けることにより、画素が微細化しても、データ線 6a と画素電極 9a が短絡することを防止することが可能となり、TFT30 の不良による点欠陥や線欠陥等の致命欠陥を大幅に低減することができる。

【0032】また、第 1 実施形態の液晶パネルでは、TFT30 の少なくともチャネル領域 1a' 及び当該チャネル領域 1a' とソース領域及びドレイン領域との接合部をデータ線 6a の下方に形成することにより、入射光が直接チャネル領域 1a' 及び当該チャネル領域 1a' とソース領域とドレイン領域との接合部に照射されないようにする。更に、TFT30 の少なくともチャネル領域 1a' 及び当該チャネル領域 1a' とソース領域及びドレイン領域との接合部に照射されないように、TFT30 の下方にも層間絶縁膜を介して W（タングステン）、Ti（チタン）、Cr（クロム）、Mo（モリブデン）、Ta（タンタル）といった高融点金属膜或いはその合金膜やポリシリコン膜等の第 1 遮光膜 11a を設けている（図 2 右上がり斜線部）。このような構成を採れば、画素開口部を透過した光が偏光板等で反射して TFT30 を照射することにより生じるリーク電流を防ぐことができる。これは、光利用効率を高めるために強い光を入射しても、半導体層 1a の光電効果によるリーク電流を防止できることを意味しており、特に、プロジェクタ用途の液晶パネルには効果的である。尚、第 1 遮光膜 11a は TFT30 のトランジスタ特性の劣化を防ぐために、接地電位等の定電位を供給しておくとも良い。この際、画像表示領域の外側に設けられた周辺回路に供給される電源等の定電位線に接続するようにすれば、専用の外部回路接続端子や引き回し配線を必要としないため、TFT アレイ基板のスペースの有効利用を図ることができる。

【0033】図 3 は、図 2 の A-A' 線に沿った断面であり、TFT30 及び蓄積容量 70 の構造を三次元的に示している。TFT30 は、LDD（Lightly Doped Drain）構造を有しており、ゲート電極を含む走査線 3a、走査線 3a からの電界によりチャネルが形成される半導体層 1a のチャネル領域 1a'、走査線 3a と半導体層 1a とを絶縁するゲート絶縁膜を含む絶縁薄膜 2、半導体層 1a の低濃度ソース領域（ソース側 LDD 領域）1b 及び低濃度ドレイン領域（ドレイン側 LDD 領域）1c、半導体層 1a の高濃度ソース領域 1d 及び高濃度ドレイン領域 1e を備えている。高濃度ソース領域

1d にはデータ線 6a が接続されており、高濃度ドレイン領域 1e には、複数の画素電極 9a のうちの対応する一つが接続されている。低濃度ソース領域 1b 及び高濃度ソース領域 1d 並びに低濃度ドレイン領域 1c 及び高濃度ドレイン領域 1e は後述のように、半導体層 1a に対し、n 型又は p 型のチャネルを形成するかに応じて所定濃度の n 型用又は p 型用の不純物イオンをドーピングすることにより形成されている。n 型チャネルの TFT は、動作速度が速いという利点があり、画素のスイッチング素子である TFT30 として用いられることが多い。本実施形態では特にデータ線 6a は、Al 等の金属膜や金属シリサイド等の合金膜などの遮光性の導電膜から構成されている。また、走査線 3a、絶縁薄膜 2 及び第 1 層間絶縁膜 12 の上には、高濃度ソース領域 1d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1e へ通じるコンタクトホール 8 が夫々形成された第 2 層間絶縁膜 4 が形成されている。この高濃度ソース領域 1d へのコンタクトホール 5 を介して、データ線 6a は高濃度ソース領域 1d に電氣的に接続されている。更に、データ線 6a 及び第 2 層間絶縁膜 4 の上には、高濃度ドレイン領域 1e へのコンタクトホール 8 が形成された第 3 層間絶縁膜 7 が形成されている。この高濃度ドレイン領域 1e へのコンタクトホール 8 を介して、画素電極 9a は高濃度ドレイン領域 1e に電氣的に接続されている。前述の画素電極 9a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。ここで、コンタクトホール 8 の直下には半導体層 1a の高濃度ドレイン領域 1e と当該高濃度ドレイン領域 1e の下層に導電性の嵩上げ膜 13a を設ける。これにより、コンタクトホール 8 の開孔時のエッチングで、半導体層 1a の高濃度ドレイン領域 1e が突き抜けたとしても、下層の嵩上げ膜 13a により電氣的に接続されるため、致命的な欠陥とはならない。また、コンタクトホール 8 を開孔する領域は、できるだけ平坦化した方がよいため、走査線 3a と容量線 3b 及び嵩上げ膜 13a の膜厚は揃えた方がよい。また、図 2 に示すように走査線 3a と容量線 3b 間のスペースに嵩上げ膜 13a を延設して、できるだけ平坦な領域を形成するようにする。このような構成を採れば、コンタクトホール 8 の周辺及び走査線 3a と容量線 3b の配線間において画素電極 9a の下層の層間絶縁膜の表面に段差を生じることがないので、液晶のディスクリネーションが発生する領域を極力少なくすることができる。これにより、画素開口率を更に高めることが可能となる。

【0034】TFT30 は、好ましくは上述のように LDD 構造を持つが、低濃度ソース領域 1b 及び低濃度ドレイン領域 1c に不純物イオンの打ち込みを行わないオフセット構造を持ってもよいし、走査線 3a の一部からなるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース領域 1d 及び高濃度ドレイン領域 1e を形成するセルフアライン型の TFT

Tであってもよい。

【0035】また、図3に示すTFT30の構造において、TFT30の高濃度ソース領域1dと高濃度ドレイン領域1eとの間に、絶縁薄膜2を介して同一の走査信号が供給される2つの走査線3aの一部からなるゲート電極を直列抵抗となるように設けて、デュアルゲート（ダブルゲート）構造のTFTとしてもよい。これにより、TFT30のリーク電流を低減することができる。また、デュアルゲート構造のTFTを、上述のLDD構造、或いはオフセット構造を持つようにすれば、更にTFT30のリーク電流を低減することができ、高いコントラスト比を実現することができる。また、デュアルゲート構造により、冗長性を持たすことができ、大幅に画素欠陥を低減できるだけでなく、高温動作時でも、リーク電流が低いため、高コントラスト比の画質を実現することができる。尚、TFT30の高濃度ソース領域1dと高濃度ドレイン領域1eとの間に設けるゲート電極は3つ以上でもよいことは言うまでもない。

【0036】ここで、一般には、半導体層1aのチャネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等は、光が入射するとポリシリコンが有する光電変換効果により電流が発生してしまいTFT30のトランジスタ特性が劣化するが、本実施形態では、走査線3aを上側から覆うようにデータ線6aがAl等の透光性の金属膜等から形成されているので、少なくとも半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cへの入射光（即ち、図3で上側からの光）の光を効果的に防ぐことが出来る。また、前述のように、TFT30の下側には、第1遮光膜11aが設けられているので、少なくとも半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cへの戻り光（即ち、図3で下側からの光）の入射を効果的に防ぐことが出来る。

【0037】また図1に示すように、画素電極9aには蓄積容量70が夫々設けられている。この蓄積容量70は、より具体的には、半導体層1aの高濃度ドレイン領域1eから延設された第1蓄積容量電極1f、蓄積容量70の誘電体膜としての絶縁薄膜2、走査線3aと同一工程により形成される容量線3bの一部からなる第2蓄積容量電極、第2層間絶縁膜4及び第3層間絶縁膜7、並びに第2層間絶縁膜4及び第3層間絶縁膜7を介して容量線3bに対向する画素電極9aの一部から構成されている。このように、第1蓄積容量電極1fと容量線3bの一部からなる第2蓄積容量電極との間で、絶縁薄膜2を介在させて蓄積容量70が設けられているため、デューティ比が小さくても高精細な表示が可能とされる。容量線3bは、図2に示すように、走査線3aとほぼ平行に設けられている。更に、本実施形態のように、第1蓄積容量電極1f下に第1層間絶縁膜12を介して第1遮光膜11aを設けることにより、第1層間絶縁膜

12が誘電体膜として機能し、蓄積容量70の増大を図ることができる。これにより、更に画質品位の高い液晶パネルが実現できる。

【0038】（液晶パネルの製造プロセス）次に、以上のような構成を持つ液晶パネルの製造プロセスについて図4から図7を参照して説明する。尚、図4から図6は各工程におけるTFTアレイ基板側の各層を図2のA-A'断面に対応させて示す工程図である。また、図7にTFTアレイ基板側の各層を図2のB-B'断面に対応させて示す工程図であり、図6の（17）からの工程を示している。尚、図4から図7においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0039】先ず、図4から図6を参照して、図2のA-A'断面に対応するTFT30を含む部分の製造プロセスについて説明する。

【0040】図4の工程（1）に示すように、石英基板、ハードガラス等のTFTアレイ基板10を用意する。ここで、好ましくはN₂（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。

【0041】このように処理されたTFTアレイ基板10の全面に、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜11を形成する。尚、クロストークが発生しない程度の光量を入射するような用途に使われる場合は、遮光膜11を形成しなくても良い。

【0042】続いて、工程（2）に示すように、該形成された遮光膜11上にフォトリソグラフィにより第1遮光膜11aのパターンに対応するマスクを形成し、該マスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。この際、第1遮光膜11aは島状に形成しても良いし、走査線3a或いはデータ線6aに沿って縞状に形成しても良い。また、図2に示すように格子状に形成すれば、第1遮光膜11aの低抵抗化を図ることができる。

【0043】次に工程（3）に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG（ボロンやリンを含まないシリケートガラス膜）、PSG（リンを含むシリケートガラス

10

20

30

40

50

膜)、BSG(ボロンを含むシリケートガラス膜)、BPSG(リンとボロンを含むシリケートガラス膜)などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の膜厚は、例えば、約800~1500nmとする。

【0044】次に工程(4)に示すように、減圧CVDやスパッタにより、導電膜13を形成する。導電膜13は、ポリシリコン膜やW(タングステン)、Ti(チタン)、Cr(クロム)、Mo(モリブデン)、Ta(タンタル)等の高融点金属、或いはその合金膜等からなり、導電膜13の膜厚は、後工程で形成する走査線や容量線と同じ膜厚になるようにすると良い。この利点に関しては、後述する。

【0045】次に工程(5)に示すように、フォトリソグラフィ工程及びエッチング工程等を施すことにより、後工程で画素電極9aと半導体層1aのドレイン領域の直下に島状の嵩上げ膜13aを残すようにする。尚、嵩上げ膜13aは画素電極9aと半導体層のドレイン領域を電気的に接続するためのコンタクトホールがエッチング時に当該半導体層を突き抜けても不良とならないように敷設されるもので、データ線6aと半導体層のソース領域と電気的に接続するためのコンタクトホール5の直下に敷設しても何ら問題はない。

【0046】次に工程(6)に示すように、嵩上げ膜13aの上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、ポリシリコン膜1を約50~200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。この際、nチャネル型のTFT30を作成する場合には、Sb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。また、TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化(アモルファス化)し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。また、エキシマレーザー等のレーザー照射によりアニール処理をしてシリコン核を固相成長させても構わない。

【0047】次に工程(7)に示すように、フォトリソ

グラフィ工程、エッチング工程等により、所定パターンの島状の半導体層1aを形成する。この際、スイッチング素子となるチャネル領域及びソース・ドレイン領域だけでなく、画素の保持特性を改善するために容量を付加するための蓄積容量電極の一方の電極となる第1蓄積容量電極1fの領域を一括して形成する。

【0048】次に工程(8)に示すように、半導体層1aを約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約10~50nmの比較的薄い厚さの熱酸化膜を形成し、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約100~1000オングストロームの比較的薄い厚さに堆積し、多層構造を持つ絶縁薄膜2を形成する。絶縁薄膜2はTFT30のゲート絶縁膜及び蓄積容量70の誘電体膜として機能することは言うまでもない。この結果、半導体層1aの厚さは、約20~150nmの厚さ、好ましくは約35~50nmの厚さとなり、ゲート絶縁膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。あるいは、絶縁薄膜2の高耐圧化を実現するために、窒化シリコン膜を用いても構わない。

【0049】次に図5の工程(9)に示すように、減圧CVD法等によりポリシリコン膜3を堆積した後、P(リン)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。工程(10)に示すように、マスクを用いたフォトリソグラフィ工程、エッチング工程等により、図8に示した如き所定パターンの走査線3a及び容量線3bを形成する。走査線3aの膜厚は、例えば、約100~800nmとする。この際、嵩上げ膜13aの膜厚とほぼ同じ膜厚にすることにより、コンタクトホールの開孔形状が広がらないようにすることができる。

【0050】但し、走査線3aを、ポリシリコン膜ではなく、WやMo等の高融点金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とポリシリコン膜を組み合わせで多層に形成してもよい。この場合、走査線3aを、図3に示す第2遮光膜22が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、第2遮光膜22の一部或いは全部を省略することも可能となる。この場合特に、対向基板20とTFTアレイ基板10との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0051】次に工程(11)に示すように、TFT30をLDD構造を持つnチャネル型のTFTとする場

合、半導体層 1 a に、先ず低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c を形成するために、走査線 3 a を拡散マスクとして、P などの V 族元素の不純物イオン 3 0 0 を低濃度で（例えば、P イオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて）ドーピングする。これにより走査線 3 a 下の半導体層 1 a はチャネル領域 1 a' となる。また、容量線 3 b 下の半導体層 1 a は絶縁薄膜 2 を誘電体とし蓄積容量 7 0 を形成する第 1 蓄積容量電極 1 f となる。尚、第 1 蓄積容量電極 1 f を形成する部分にあらかじめ P イオン等を打ち込んで低抵抗化しておいても良い。

【0052】次に工程（12）に示すように、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、走査線 3 a よりも幅の広いマスクでレジスト層 3 0 2 を走査線 3 a 上に形成した後、同じく P などの V 族元素の不純物イオン 3 0 1 を高濃度で（例えば、P イオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドーピングする。また、TFT 3 0 を p チャネル型とする場合、n チャネル型の TFT 3 0 の領域をレジストで覆って保護し、工程（11）及び（12）を再度繰り返す。この時、半導体層 1 a に、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、B（ボロン）などの III 族元素の不純物イオンを用いてドーピングする。このように LDD 構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、例えば、低濃度の不純物イオンのドーピングを行わずに、オフセット構造の TFT としてもよく、走査線 3 a の一部からなるゲート電極をマスクとして、P イオン、B イオン等を用いたイオン注入技術によりセルフアライン型の TFT としてもよい。

【0053】これらの工程と並行して、n チャネル型 TFT 及び p チャネル型 TFT から構成される相補型構造を持つ周辺駆動回路を TFT アレイ基板 1 0 上の周辺部に形成することができる。このように、本実施形態では、TFT 3 0 の形成時に同一工程で、データ線駆動回路や走査線駆動回路等の周辺駆動回路を形成することができ、製造上有利である。

【0054】次に工程（13）に示すように、走査線 3 a や容量線 3 b を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 を形成する。第 2 層間絶縁膜 4 の膜厚は、配線間の容量を付加させないために比較的厚い方が良く、約 500 ～ 1500 nm が好ましい。

【0055】次に工程（14）に示すように、半導体層 1 a を活性化するために約 1000℃ のアニール処理を 20 分程度行った後、データ線 6 a に対するコンタクトホール 5 を、反応性イオンエッチング、反応性イオンビ

ームエッチング等のドライエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール 5 を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせると開孔すれば、コンタクトホール 5 をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。また、走査線 3 a を図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第 2 層間絶縁膜 4 に開孔することができる。

【0056】次に図 6 の工程（15）に示すように、第 2 層間絶縁膜 4 の上に、スパッタリング処理等により、遮光性の A1 等の低抵抗金属や金属シリサイド等の金属含有膜 6 として、約 100 ～ 800 nm の厚さ、好ましくは約 300 nm に堆積する。

【0057】次に工程（16）に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a を形成する。エッチング工程として反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成すれば、オーバーエッチングを抑えることができ、マスク寸法通りに精度良くパターニングができる利点がある。

【0058】次に工程（17）に示すように、データ線 6 a 上を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 7 を形成する。第 3 層間絶縁膜 7 の膜厚は、データ線 6 a と後工程で形成される画素電極 9 a との間に容量が付加されないように比較的厚い方が良く、約 500 ～ 1500 nm が好ましい。また、配線やスイッチング素子である TFT 3 0 の段差により、液晶のディスクリネーションが発生することがあるので、第 3 層間絶縁膜 7 を構成するシリケートガラス膜に代えて又は重ねて、有機膜や SOG（スピノンガラス）をスピノコートして、若しくは又は CMP（Chemical Mechanical Polishing）処理を施して、平坦な膜を形成してもよい。このような構成を採れば、液晶のディスクリネーションの発生領域を極力低減することが可能となり、画素が微細化しても、高い画素開口率を実現できる。

【0059】次に工程（18）に示すように、画素電極 9 a と高濃度ドレイン領域 1 e とを電気接続するためのコンタクトホール 8 を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール 8 を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点が得られる。但し、ドライエッチングとウェットエッチングとを組み合

わせて開孔すれば、コンタクトホール8をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。また、コンタクトホール8の開孔領域の直下には半導体層1aの高濃度ドレイン領域1eだけでなく、導電膜である嵩上げ膜13aが敷設してあるので、万が一、半導体層1aを突き抜けても致命欠陥になることはない。更に、嵩上げ膜13aを敷設することで、半導体層1aのチャネル領域1a'が薄膜化することができるので、素子の特性を向上することができる。

【0060】次に工程(19)に示すように、第3層間絶縁膜7の上に、スパッタリング等により、ITO(Indium Tin Oxide)膜等の透明導電性薄膜9を、約50~200nmの厚さに堆積し、更に工程(20)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶パネルを反射型の液晶装置に用いる場合には、A1等の反射率の高い不透明な材料から画素電極9aを形成してもよい。この場合は、第3層間絶縁膜7を形成する際にCMP処理等により平坦化し、画素電極9aを鏡面状にする必要がある。

【0061】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図3に示した配向膜23が形成される。

【0062】他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜22が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。また、第2遮光膜22は、Cr、Ni(ニッケル)、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した黒色樹脂などの材料から形成してもよい。尚、TFTアレイベース10上に遮光膜を形成すれば、TFTアレイベース10上で開口領域が規定されるため、対向基板上の第2遮光膜22は必要なくなり、TFTアレイベース10と対向基板20との貼り合わせ精度は、無視することができ、透過率のばらつかない液晶パネルが実現できる。

【0063】その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50~200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜23が形成される。

【0064】最後に、上述のように各層が形成されたTFTアレイベース10と対向基板20とは、配向膜23が対面するように、所定径(例えば、1~6μm程度の径)を持つガラスファイバやガラスビーズ等からなるギャップ材が所定量だけ混入されたシール材により貼り合わせられ、真空吸引等により、両基板間の空間に、例えば

複数種類のネマティック液晶等を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0065】ここで、走査線3a及び容量線3bに挟まれた領域に設けられるコンタクトホール8を開孔する際の製造プロセスについて説明する。尚、図7は図2のB-B'線に沿った断面図で、図7の工程(a)は前述の図6の工程(17)と合致している。また、図7(a)~(d)の工程について、従来例の図17(a)~(d)と対比して説明する。

10 【0066】図7の工程(a)に示すように、本実施形態の液晶パネルでは、走査線3a及び容量線3bと嵩上げ膜13aの膜厚をほぼ揃えることで、第3層間絶縁膜7上のコンタクトホール8を開孔する領域をほぼ平坦な状態にする。

【0067】次に、図7の工程(b)に示すように、フォトリソマスク303を用いてステッパ装置等により露光する。レジスト302がボジ型のレジストの場合は、フォトリソマスク303上の遮光性のクロム膜304がない部分(即ち、光が透過する部分)が除去される。第3層間絶縁膜7上のレジスト302は、コンタクトホール8を開孔する領域が平坦なため、露光時の乱反射等がなく、フォトリソマスク303上の遮光性のクロム膜304がない部分、即ちコンタクトホール開孔用のパターン径と同じ大きさでレジスト302を除去することができる。従って、従来例である図17(b)に示すような、レジスト302の後退がないため、設計値通りのコンタクトホールを開孔することができる。これにより、画素が微細化しても、歩留まりの低下を招くことがなく、高い画素開口率の液晶パネルを実現できる。

30 【0068】次に、図7の工程(c)に示すように、コンタクトホール8を反応性イオンエッチング、反応性イオンビームエッチング等の異方性のドライエッチングにより形成することで、コンタクトホール8の開孔径ができるだけ広がらないようにする。また、コンタクトホール8の側壁をテーパ状に形成するためにウエットエッチングを施したとしても、従来のようにレジスト302が後退していないので、開孔径が広がることがなく、微細なコンタクトホールを開孔することができる。

40 【0069】最後に、図7の工程(d)に示すように、画素電極9aを設ければ、TFTアレイベースの画像表示領域の画素を形成することができる。

【0070】(液晶パネルの第2実施形態)本発明による液晶パネルの第2実施形態について図8及び図9を参照して説明する。図8は、液晶パネルを構成するTFTアレイベース上の隣接する複数の画素群を示した平面図であり、図9は図8におけるC-C'間の断面図であり、画素のスイッチング素子としてのTFTの構造を示している。図9においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。尚、図8及び図9において、図2か

ら図 7 と同じ構成要素については、同じ参照符号を付し、その説明は省略する。

【0071】第 2 実施形態では、液晶パネルの全体構成は図 2 及び図 3 に示した第 1 実施形態とほぼ同様であり、図 8 に示すように、第 1 遮光膜 11a を TFT30 の下方に敷設していないところが相違している。例えば、直視型の液晶パネルのように、強い光を入射する必要がない用途に使用される液晶パネルの場合は、第 1 遮光膜 11a を敷設する必要はない。

【0072】従って、図 9 に示すように、第 1 遮光膜 11a を設けない場合は、TFT アレイ基板 10 の表面に突起がなく、十分な洗浄が施されている場合は、第 1 層間絶縁膜 12 を形成する必要はない。これにより、第 1 遮光膜 11a を形成する工程と第 1 層間絶縁膜 12 を堆積する工程が削減できる。即ち、図 4 の (1) から (3) の工程を削減できるため、製造歩留まりやコスト面において効果がある。

【0073】また、第 2 実施形態のように第 3 層間絶縁膜 7 そのものを或いは、第 3 層間絶縁膜上に CMP 処理や、有機膜等の平坦化膜を形成すれば、コンタクトホール 8 を開孔する際のフォトリソグラフィ工程における露光時の乱反射を防ぐことができるため、微細なコンタクトホール 8 を実現することができる。このような、構成を採れば、嵩上げ膜 13a の膜厚は走査線 3a や容量線 3b の膜厚と同一にする必要はない。

【0074】(液晶パネルの第 3 実施形態) 本発明による液晶パネルの第 3 実施形態について図 10 を参照して説明する。図 10 は、液晶パネルを構成する TFT アレイ基板 10 上の隣接する複数の画素群を示した平面図である。

【0075】第 3 実施形態では、液晶パネルの全体構成は図 2 及び図 3 に示した第 1 実施形態とほぼ同様であり、X 方向の画素ピッチ L が狭い場合の例である。これは、第 1 実施形態で示した画素ピッチ L の 3 分の 1 であり、対向基板上にカラーフィルターを設けて、3 画素でデータの 1 ドットを形成するような液晶パネルの実施形態で、カラーフィルター搭載の液晶パネルを 1 枚のみ用いる単板方式の液晶プロジェクタやノートパソコンのディスプレイとして用いることができる。

【0076】このように、X 方向の画素ピッチ L が狭まると、データ線 6a 間の距離が狭まるために、データ線 6a とコンタクトホール 8 を介して画素電極 9a が短絡する可能性が高くなる。データ線 6a を Al (アルミニウム) 膜で形成した場合は、顕著に高くなる。これは、Al 膜の融点が低いために、第 3 層間絶縁膜 7 を高温処理でポーラス状に形成できないことが理由である。従って、コンタクトホール 8 を開孔する際のエッチングレートが早まってしまう。特に開口部の側壁をテーパ状にするため、ウェットエッチングを行うとコンタクトホール 8 の第 3 層間絶縁膜 7 の開孔径は大きくなる傾向にあ

る。また、従来のようにエッチングストッパーとしての嵩上げ膜 13a を設けないと、ドライエッチングのみでは半導体層 1a と層間絶縁膜との選択比が低いため、突き抜ける恐れがあり、ウェットエッチングとの併用を行わざるを得ないという事情があり、開孔径を小さく形成することは困難であった。

【0077】図 11 にコンタクトホール 8 を $2\mu\text{m}$ 正方形で、データ線 6a の配線幅を $5\mu\text{m}$ で設計した場合の、画素ピッチ L と不良率の推移を表したグラフを示す。図 11 の (a) は従来の製造プロセスで作製した液晶パネルであり、図 11 の (b) は本実施形態の製造プロセスで作製した液晶パネルでの結果である。これによると、(a) の従来例では、画素ピッチが $20\mu\text{m}$ 以下になると急激に画素欠陥による不良率が増加するが、本実施形態では $10\mu\text{m}$ 以下にならないと画素欠陥による不良率は増加しない。従って、本実施形態の液晶パネルを用いれば、画素の微細化や高開口率化が進んでも、データ線 6a や走査線 3a 或いは容量線 3b と画素電極 9a との短絡が少なく、かつ半導体層 1a のドレイン領域と画素電極 9a とのコンタクトホール 8 が突き抜けることがないため、歩留まりの低下を招くことがない。

【0078】また、第 3 実施形態のようにコンタクトホール 8 とデータ線 6a の距離が極端に近い場合は、嵩上げ膜 13a の膜厚をデータ線 6a の膜厚にほぼ同じとなるように設定する、即ち、データ線 6a 上の層間絶縁膜とコンタクトホール 8 を開孔する領域がほぼ平面になるようにしても良い。このような構成を採っても、コンタクトホール 8 の開孔径の広がりを抑制することができ、また段差が緩和されるため液晶のディスクリネーションを低減することが可能となる。

【0079】更に、本実施形態によれば、コンタクトホール 8 は、開口領域の中心線 9c (図 2、図 8、図 10 参照) に対して線対称な位置に開孔されているので、コンタクトホール 8 の周囲における画素電極 9a の段差 (図 3 参照) が開口領域に対して線対称となる。これは TN (Twisted Nematic) 液晶を用いると特に効果を発揮し、液晶層 50 用に、右回りの液晶を用いた場合でも左回りの液晶を用いた場合でも、リバースティルト等の液晶の配向不良の起き易さは、殆ど同じとなる。即ち、どちらか一方回りの液晶を用いると、配向不良が顕著に発生してしまうような事態を未然に防ぐことが可能となり、液晶層 50 として、右回りの液晶でも左回りの液晶でも等しく採用でき実用上便利である。

【0080】以上に構成を説明したように本実施の形態によれば、図 16 に示す従来例の如く各画素の角に形成されたコンタクトホール 8 を介して画素電極 9a が TFT のドレインに接続される場合と比較して、光の利用効率が改善される。特に、本実施形態の場合、開口領域は、正方形に近い矩形、即ち、回転対称な平面形状を持つので、円形等の光照射領域が、当該開口領域に対して

占める割合が高くなり、光の利用効率が改善される。尚、開口領域を円形、正十二角形、正八角形、正六角形、正方形等の他の回転対称な形状としてもよいことは言うまでもない。更に本実施形態では、図2に示すように、X方向の開口領域の幅は、相隣接する2つのデータ線6aにより規定されており、Y方向の開口領域の幅は、開口領域を挟んで相隣接する走査線3a及び容量線3bにより規定されており、コンタクトホール8を、開口領域を挟むことなく相隣接する走査線3a及び容量線3bの間にあるスペースに開孔することにより、画像表示領域の2次元スペースを有効利用できる。従って、開口領域をより効率的に広くすることが出来、光の利用効率が非常に改善されている。

【0081】(液晶パネルの構成) 本実施形態を用いた液晶パネルは、画素のスイッチング素子であるTFT30が、ポリシリコン(p-Si)タイプのTFTであるので、TFT30の形成時に同一工程で、TFTアレイ基板10上に画素を駆動するための周辺回路を形成することができる。このような周辺回路内蔵型の液晶パネル100の全体構成を図12及び図13を参照して説明する。尚、図12は、TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図13は、対向基板を含めて示す図12のH-H'断面図である。

【0082】図12において、TFTアレイ基板10の上には、画像表示領域を規定するための遮光性の第3遮光膜53が設けられており、その外側に並行してシール材52が設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一边に沿って設けられており、走査線駆動回路104が、この一边に隣接する2辺に沿って設けられている。更にTFTアレイ基板10の残る一边には、画像表示領域の両側に設けられた走査線駆動回路104間を接続するための複数の配線105が設けられている。尚、走査線の信号遅延が問題にならない場合は、走査線駆動回路104は一边のみに形成しても良い。また、データ線駆動回路101を画像表示領域の両側に設けてもよいことは言うまでもない。また、対向基板20のコーナー部の少なくとも一個所において、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための上下導通材106が設けられている。そして、図13に示すように、図12に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0083】データ線駆動回路101及び走査線駆動回路104は中継配線を介してデータ線6a及び走査線3aに夫々電気接続されている。データ線駆動回路101には、クロック信号に基づいて、スタート信号を順次転送するためのシフトレジスタ回路が含まれており、当該データ線駆動回路101から順次出力される駆動信号に

よりサンプリング回路を制御し、図示しない表示情報処理回路から即時表示可能な形式に変換された画像信号をサンプリング回路を介してデータ線6aに供給するようにする。また、走査線駆動回路104には、クロック信号に基づいて、スタート信号を順次転送するためのシフトレジスタ回路が含まれており、パルス的に走査線3aに順次に走査信号を送る。この走査信号に合わせて、データ線駆動回路101は画像信号に応じた信号電圧をデータ線6aに送る。そして、データ線6a及び走査線3aの交点に対応する各画素部に設けられたTFT30により液晶が制御される。尚、サンプリング回路はデータ線駆動回路101内に形成しても良いし、第3遮光膜53の領域に形成するようにしても良い。このように、従来はデッドスペースであった第3遮光膜53の領域にサンプリング回路を形成することにより、スペースの有効利用が図れ、データ線駆動回路101の小型化や高機能化を実現することができる。

【0084】図13において、液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材52は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離(基板間ギャップ)を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材(スペーサ)が混入されている。また、対向基板20の液晶層50に面する側には、第2遮光膜22及び透明導電膜であるITO膜等からなる対向電極21が設けられている。尚、図13には示されていないが、対向基板20からの入射光が入射する側及びTFTアレイ基板10の出射光が射出する側には夫々、例えば、TNモード、STN(スーパーTN)モード、D-STN(ダブルSTN)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0085】更に、液晶パネル100においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜23、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶パネルの高輝度化や低消費電力化の利点が得られる。その他、各種の液晶材料(液晶相)、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。この様に本実施形態の液晶パネルは画像表示領域を駆動するための周辺回路をTFTアレイ基板10上に一体形成することができ、テープ実装やCOG実装により周辺回路を外付けする必要がなくなるため、超小型の液晶パネルを実現することができる。また、液晶パネルを駆動するためのICを大幅に削減することができ、コスト面でも大きな利点が得られる。

【0086】（マイクロレンズを用いた液晶パネル）マイクロレンズ200は、例えば、特開平6-194502号公報に開示されている製造方法により形成される。図14はその一例であるが、対向基板20上に感光性材料の膜を形成した後、各レンズとなる部分に対応する凸部が残るように光パターンニングした後、感光性材料の熱変形及び表面張力により、滑らかな各レンズの凸面を持つ感光性材料からなる配列パターンを対向基板20の上に形成し、その後、当該感光性材料の配列パターンをマスクとしてドライエッチングを行って感光性材料の配列パターンを対向基板20に彫り写すことにより、表面に滑らかな各レンズの凸面が彫られたマイクロレンズ200が形成される。或いは、伝統的な所謂「熱変形法」によりマイクロレンズ200を形成してもよい。

【0087】マイクロレンズ200の表面全体には、接着剤201によりカバーガラス202が貼り付けられており、この上に更に第2遮光膜22、対向電極21及び配向膜23が順に形成される。この場合、第2遮光膜22は、各開口の中心が各マイクロレンズ200のレンズ中心200aに重なるように各マイクロレンズ200の境界に沿ってマトリクス状に設けられている。

【0088】図14において、対向電極21は、対向基板20の全面に渡って形成されている。このような対向電極21は、例えばスパッタリング等によりITO膜等を約50～200nmの厚さに堆積した後、フォトリソグラフィ工程、エッチング工程を施すこと等により形成される。配向膜23は、例えば、ポリイミド薄膜などの有機薄膜からなる。このような配向膜23は、例えばポリイミド系の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により形成される。第2遮光膜22は、TF T 30に対向する所定領域に設けられている。このような第2遮光膜22は、CrやNiなどの金属材料を用いたスパッタ工程、フォトリソグラフィ工程及びエッチング工程により形成されたり、カーボンやTiをフォトレジストに分散した黒色樹脂などの材料から形成される。第2遮光膜22は、TF T 30の半導体層1aに対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。或いは、図15に示すように、例えば、予め各レンズの凸面が形成された透明板（マイクロレンズアレイ）を対向基板20の表面に貼り付けて構成したマイクロレンズ200'を対向基板20に設けるようにしてもよい。更に、対向基板20の液晶層50に対面する側の面上に、このようなマイクロレンズを貼り付けてもよい。

【0089】本実施形態では特に、図2、図8、図10に示すように画素電極9aの開口領域は、開口領域のほぼ中心点9bを通る中心線9cに対して線対称な形状を持つ。また、コンタクトホール8は、開口領域の中心線9bに対して線対称な位置に開孔されている。更に、マ

イクロレンズ200（或いは200'）は、ほぼ中心点9bに対向する位置にレンズ中心200a（或いは200a'）を夫々有する。

【0090】本実施形態によれば、光が対向基板20の側から入射すると、開口領域のほぼ中心点9b（重心）に対向する位置にレンズ中心200a（或いは200a'）を有するマイクロレンズ200（或いは200'）により、この入射光は、開口領域のほぼ中心点9bを中心として画素電極9a上に集光される。従って、マイクロレンズ200（或いは200'）により集光された光により円形（若しくは略円形又は楕円形）の光照射領域が開口領域内に形成される。ここで、コンタクトホール8は、開口領域の中心線9cに対して線対称な位置に開孔されている。このため、各画素内の中央付近に位置する線対称な開口領域を広くとることができる。そして、開口領域は、そのほぼ中心点9bを通る中心線9cに対して線対称であるので、円形等の光照射領域は、この線対称な開口領域内において線対称な位置に形成される（円形等の中心がほぼ中心点9bと重なることになる）。従って、当該開口領域に対する光照射領域が占める割合が高くなり、光の利用効率が改善される。尚、マイクロレンズの集光能力としては、光照射領域が開口領域に丁度収まる程度に集光できれば十分であり、必要以上に光照射領域を小さくする必要はない。

【0091】尚、本実施形態では、TF Tを用いて画素電極9aを駆動するように構成したが、TF T以外の例えば、TFD（Thin Film Diode：薄膜ダイオード）等のアクティブマトリクス素子を用いることも可能であり、更に、液晶パネルをパッシブマトリクス型の液晶パネルとしても構成することも可能である。このような場合であっても、マイクロレンズで画素電極上に光を集光する構成を採る限り、本実施形態で説明した開口領域を線対称や回転対称として、レンズ中心を開孔領域のほぼ中心点に対向させる構成は、光の利用効率を向上させる上で本実施形態の場合と同様に有効である。

【0092】（電子機器）次に、以上詳細に説明した本実施形態における液晶パネルを備えた電子機器の実施の形態について図18から図21を参照して説明する。

【0093】先ず図18に、本実施形態の液晶パネルを備えた電子機器の概略構成を示す。

【0094】図18において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶パネル100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM（Read Only Memory）、RAM（Random Access Memory）、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回

路 1002 は、増幅・極性反転回路、シリアル・パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に駆動回路 1004 に出力する。駆動回路 1004 は、液晶パネル 100 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。尚、液晶パネル 100 を構成する TFT アレイ基板の上に、駆動回路 1004 を搭載してもよく、これに加えて表示情報処理回路 1002 を搭載してもよい。

【0095】次に図 19 から図 21 に、このように構成された電子機器の具体例を夫々示す。

【0096】図 19 において、電子機器の一例たる液晶プロジェクタ 1100 は、上述した駆動回路 1004 が TFT アレイ基板上に搭載された液晶パネル 100 を含む液晶モジュールを 3 個用意し、夫々 RGB 用のライトバルブ 100R、100G 及び 100B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に夫々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 100R、100G 及び 100B により夫々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

【0097】本実施形態では特に、前述のように遮光膜を TFT の下側に設けておけば、当該液晶パネル 100 からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際の TFT アレイ基板の表面からの反射光、他の液晶パネル 100 から出射した後にダイクロイックプリズム 1112 を突き抜けてくる投射光の一部（R 光及び G 光の一部）等が、戻り光として TFT アレイ基板の側から入射しても、画素電極のスイッチング用の TFT 等のチャネル領域に対する遮光を十分に行うことができる。このため、小型化に適したプリズムを投射光学系に用いても、各液晶パネルの TFT アレイ基板とプリズムとの間において、戻り光防止用の AR (Anti Reflection) フィルムを貼り付けたり、偏光板に AR 被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0098】また、3 枚のライトバルブ 100R、100G、100B を構成する各々の液晶パネルの明視方向

を合わせることで、色ムラの発生やコントラスト比の低下を抑制することができる。そこで液晶として TN 液晶を用いる場合には、ライトバルブ 100G のみ他のライトバルブ 100R 及び 100B と液晶の明視方向が画像表示領域に対して左右反転にする必要がある。ここで、本実施形態の液晶パネルを備えたライトバルブを用いれば、TN 液晶が右回りであっても、左回りであっても画素の開口形状が左右でほぼ同じになるため、液晶のディスクリネーションが発生したとしても、同じように認識される。これにより、液晶の回転方向が違うライトバルブ 100G と 100R 及び 100B をプリズム等により合成した際に、表示画像で色ムラやコントラスト比の低下を招くことがないため、高品位な液晶プロジェクタを実現できる。

【0099】図 20 において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ (PC) 1200 は、上述した液晶パネル 100 がトップカバーケース内に備えられており、更に CPU、メモリ、モデム等を収容すると共にキーボード 1202 が組み込まれた本体 1204 を備えている。

【0100】また図 21 に示すように、駆動回路 1004 や表示情報処理回路 1002 を搭載しない液晶パネル 100 の場合には、駆動回路 1004 や表示情報処理回路 1002 を含む IC 1324 がポリイミドテープ 1322 上に実装された TCP (Tape Carrier Package) 1320 に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、液晶装置として、生産、販売、使用等することも可能である。

【0101】以上図 19 から図 21 を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション (EWS)、携帯電話、テレビ電話、POS 端末、タッチパネルを備えた装置等などが図 18 に示した電子機器の例として挙げられる。

【0102】以上説明したように、本実施形態によれば、比較的簡単な構成を用いることにより、画素が微細化しても工程歩留まりや画素開口率の低下を招かない液晶パネル及び当該液晶パネルを備えた各種の電子機器を実現できる。また、本実施の形態では、液晶パネルを用いて説明したがこれに限らず、エレクトロルミネッセンス、あるいはプラズマディスプレイ等の電気光学パネルにも適用可能である。

【0103】

【発明の効果】本発明の液晶パネルによれば、スイッチング素子である TFT のドレイン領域と画素電極を接続するために層間絶縁膜に開孔するコンタクトホール形成位置を、対応する画素電極に画像信号を供給するため

10

20

30

40

50

のデータ線と、当該データ線と隣り合うデータ線との間のほぼ中心位置に開孔することにより、データ線と画素電極との短絡を防ぐことができ、画素ピッチが微細化しても、工程歩留まりの低下を招くことがない。

【図面の簡単な説明】

【図 1】 液晶パネルの画像表示領域を構成する画素部の等価回路図である。

【図 2】 本発明による液晶パネルの第 1 実施形態における TFT アレイ基板上の隣接する複数の画素群を対向基板の側から見た平面図である。

【図 3】 対向基板を含めて示す図 2 の A-A' 断面図である。

【図 4】 液晶パネルの実施形態の製造プロセスを図 3 に示した部分について順を追って示す工程図（その 1）である。

【図 5】 液晶パネルの実施の形態の製造プロセスを図 3 に示した部分について順を追って示す工程図（その 2）である。

【図 6】 液晶パネルの実施の形態の製造プロセスを図 3 に示した部分について順を追って示す工程図（その 3）である。

【図 7】 液晶パネルの実施の形態の製造プロセスを図 2 の B-B' 断面図に沿って、図 6 の（17）から（20）に示した工程について更に詳細に順を追って示す工程図である。

【図 8】 本発明による液晶パネルの第 2 実施形態における TFT アレイ基板上の隣接する複数の画素群を対向基板の側から見た平面図である。

【図 9】 対向基板を含めて示す図 8 の C-C' 断面図である。

【図 10】 本発明による液晶パネルの第 3 実施形態における TFT アレイ基板上の隣接する複数の画素群を対向基板の側から見た平面図である。

【図 11】 本発明による液晶パネルの実施形態における液晶パネルと従来の液晶パネルとの画素ピッチにおける液晶パネルの画素欠陥不良率を表したグラフ図である。

【図 12】 本発明による液晶パネルの全体構成を示す平面図である。

【図 13】 図 12 の H-H' 断面図である。

【図 14】 マイクロレンズの一例が形成された画素部における対向基板の拡大断面図である。

【図 15】 マイクロレンズの他の一例が形成された画素部における対向基板の拡大断面図である。

【図 16】 従来の液晶パネルにおける TFT アレイ基

板上の隣接する複数の画素群を対向基板の側から見た平面図である。

【図 17】 従来の液晶パネルの製造プロセスを図 16 の D-D' 断面図に沿って、図 6 の（17）から（20）に示した工程について更に詳細に順を追って示す工程図である。

【図 18】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図 19】 電子機器の一例としての液晶プロジェクタを示す断面図である。

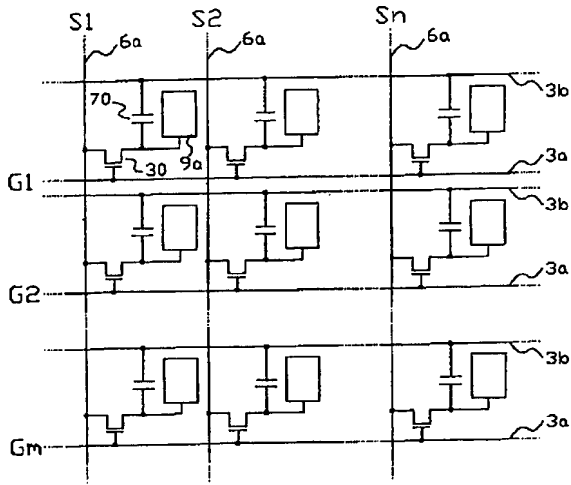
【図 20】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図 21】 電子機器の一例としての TCP を用いた液晶装置を示す斜視図である。

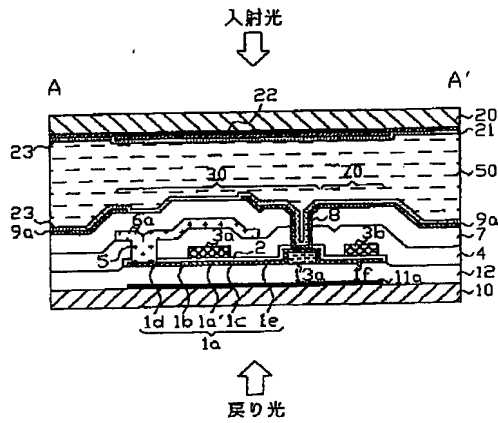
【符号の説明】

- 1 a …半導体層
- 2 …絶縁薄膜
- 3 a …走査線
- 3 a' …ゲート電極
- 3 b …容量線
- 4 …第 2 層間絶縁膜
- 5 …コンタクトホール
- 6 a …データ線
- 7 …第 3 層間絶縁膜
- 8 …コンタクトホール
- 9 a …画素電極
- 1 0 …TFT アレイ基板
- 1 1 a …第 1 遮光膜
- 1 2 …第 1 層間絶縁膜
- 1 3 a …嵩上げ膜
- 2 0 …対向基板
- 2 1 …対向電極
- 2 2 …第 2 遮光膜
- 2 3 …配向膜
- 3 0 …TFT
- 5 0 …液晶層
- 5 2 …シール材
- 5 3 …第 3 遮光膜
- 7 0 …蓄積容量
- 1 0 1 …データ線駆動回路
- 1 0 4 …走査線駆動回路
- 2 0 0、2 0 0' …マイクロレンズ
- 2 0 0 a、2 0 0 a' …レンズ中心
- 2 0 1 …接着剤

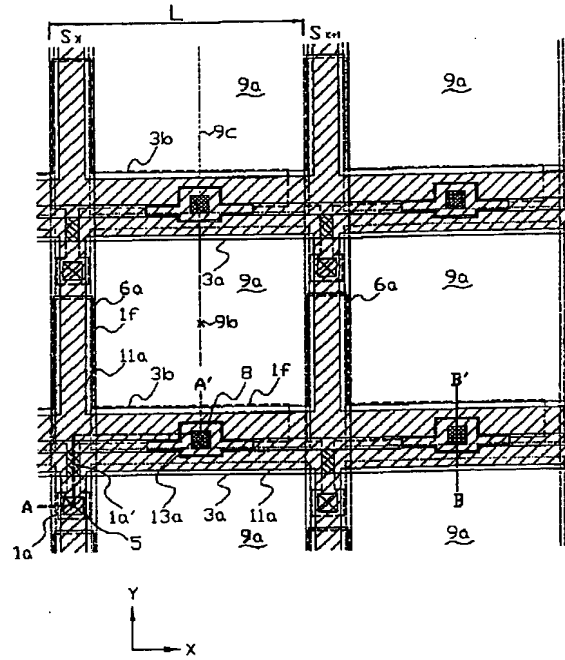
【図 1】



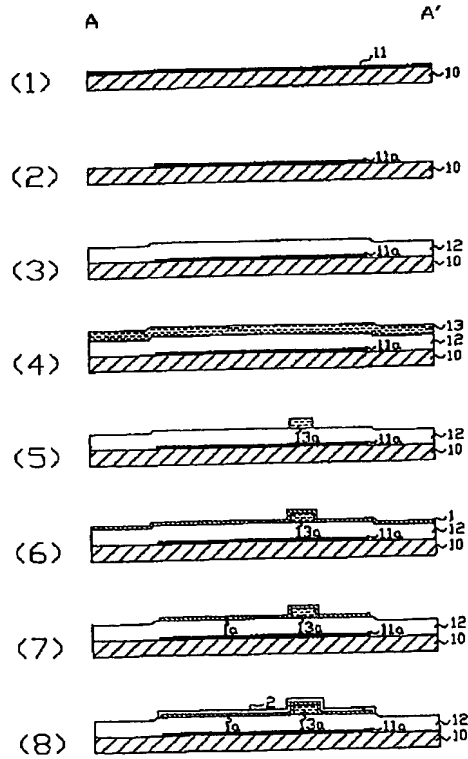
【図 3】



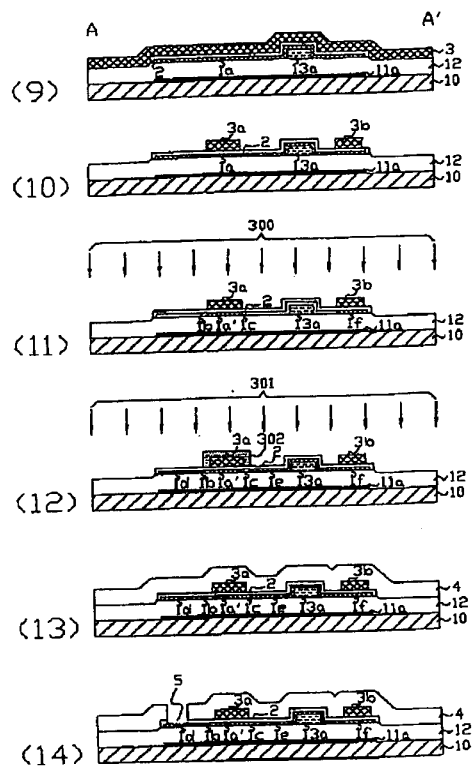
【図 2】



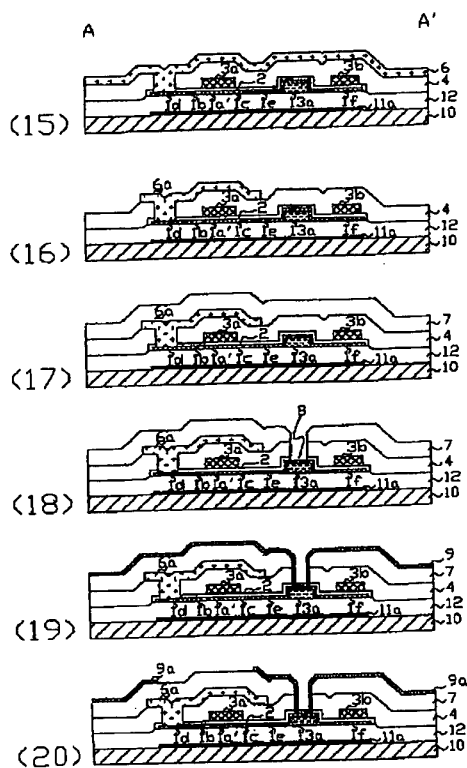
【図 4】



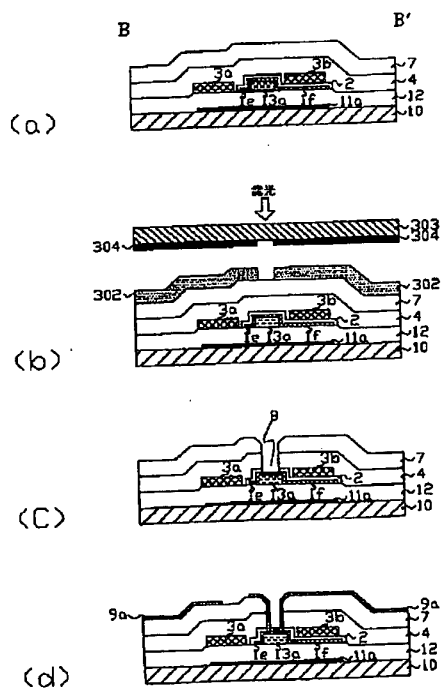
【図 5】



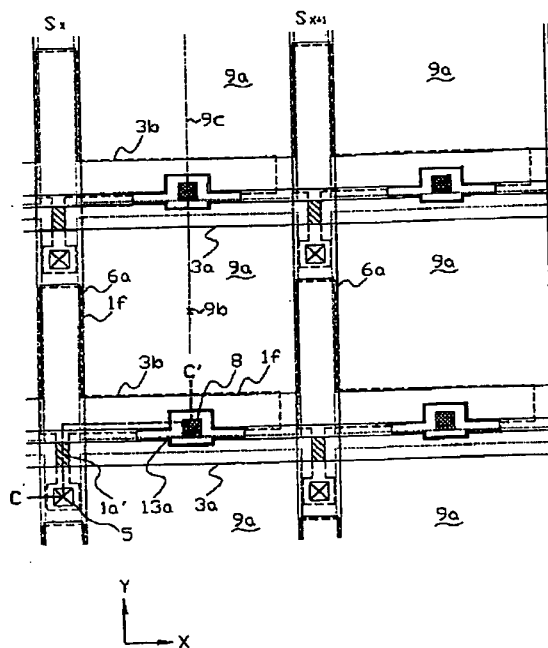
【図 6】



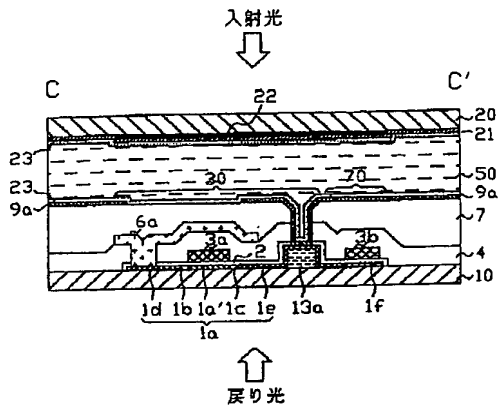
【図 7】



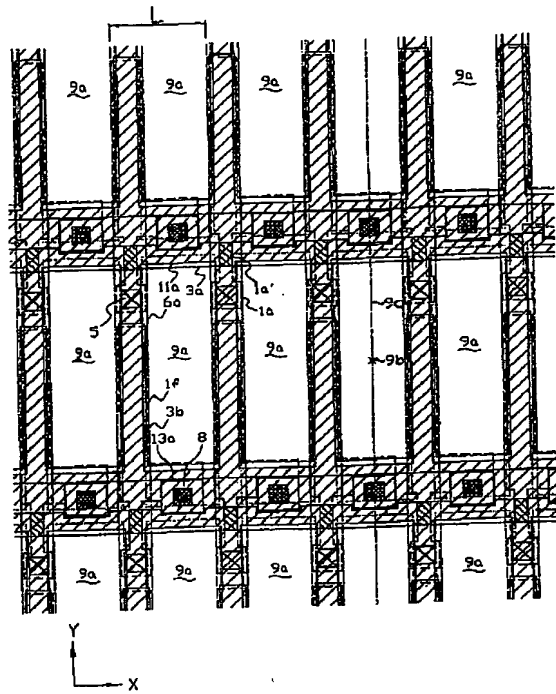
【図 8】



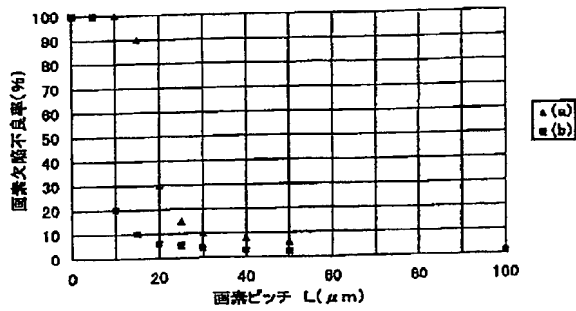
【図9】



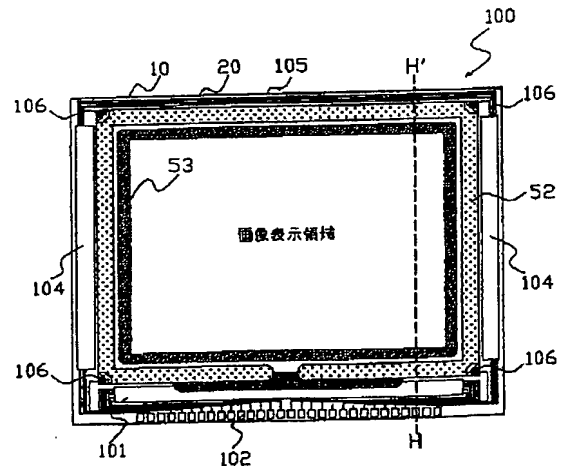
【図10】



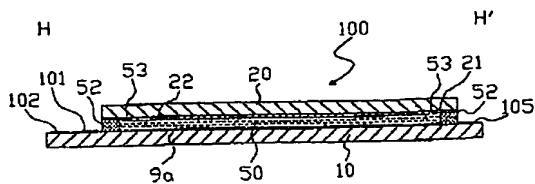
【図11】



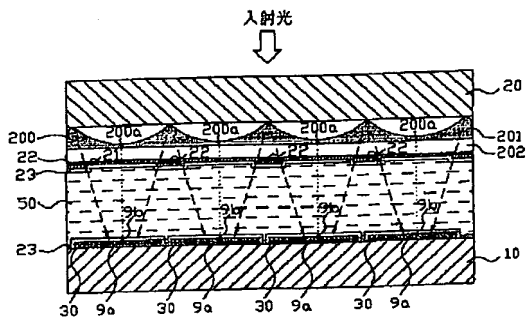
【図12】



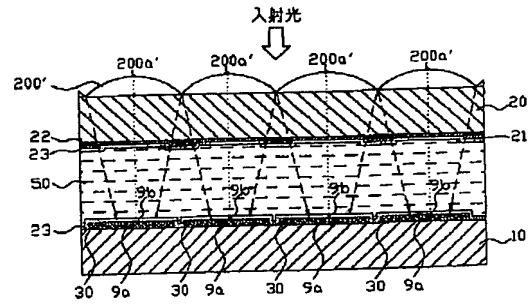
【図13】



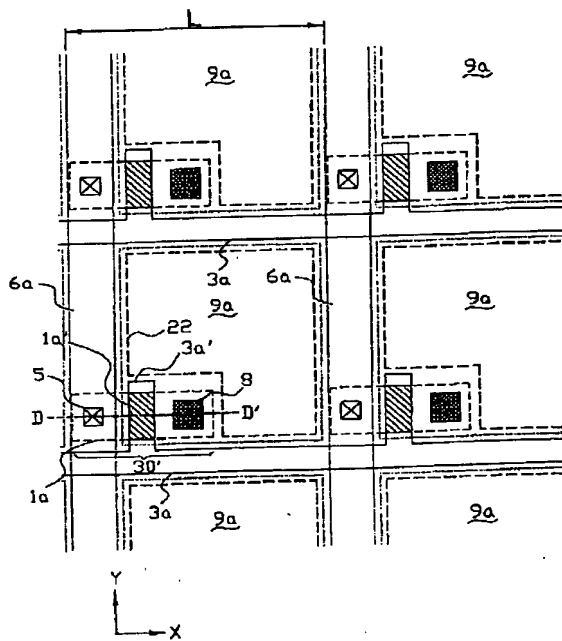
【図 14】



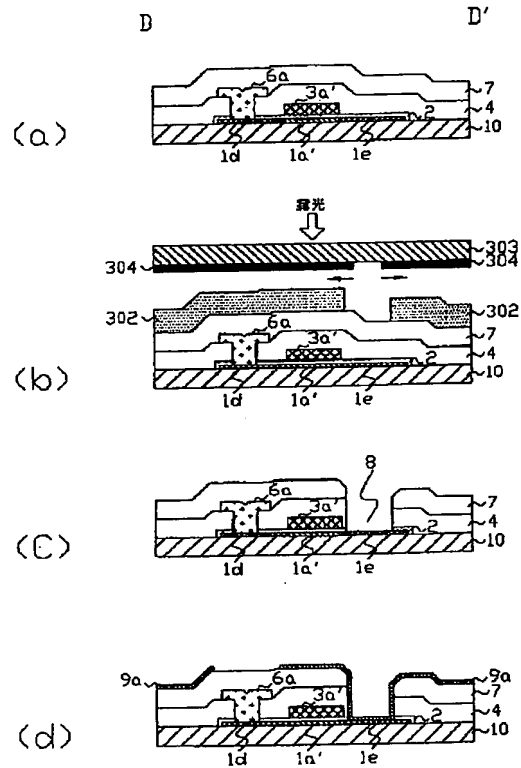
【図 15】



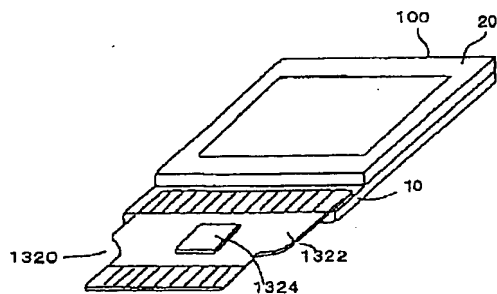
【図 16】



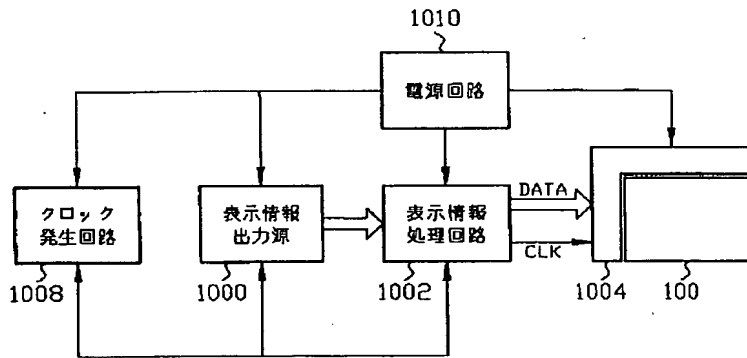
【図 17】



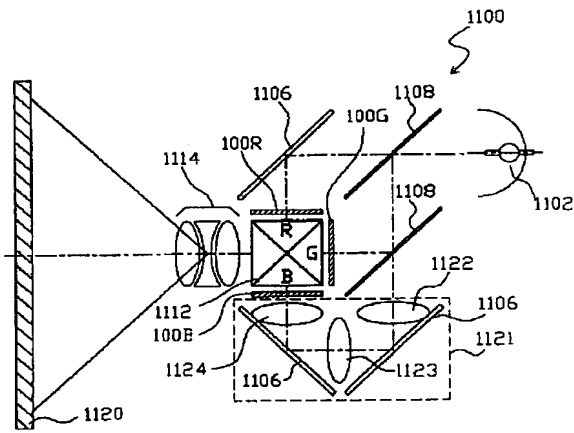
【図 21】



【図 18】



【図 19】



【図 20】

